

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252136

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 V
21/336			G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0		H 0 1 L 21/265	H
H 0 1 L 21/265			29/78	6 1 2 B
				6 1 6 A

審査請求 未請求 請求項の数12 OL (全 13 頁) 最終頁に続く

(21) 出願番号 特願平8-58918

(22) 出願日 平成8年(1996)3月15日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古田 守

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

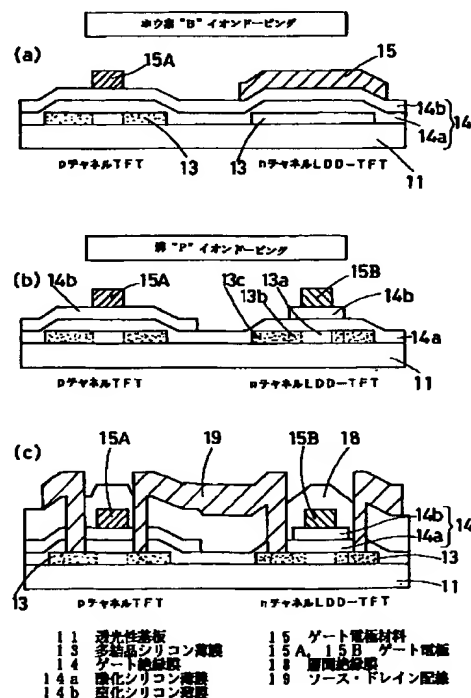
(74) 代理人 弁理士 宮井 暁夫

(54) 【発明の名称】 半導体装置およびその製造方法とアクティブマトリクスアレイ基板およびそれを用いた液晶表示装置

(57) 【要約】

【課題】 pチャネルとnチャネルのTFT（薄膜トランジスタ）を同一基板に形成する際に、不純物の注入時間を短縮し、スループットを向上させる。

【解決手段】 基板11上に多結晶シリコン薄膜13を形成した後、酸化シリコン薄膜14aと窒化シリコン薄膜14bからなるゲート絶縁膜14を形成する。pチャネルTFTのゲート電極15Aを形成し、nチャネルTFT側はゲート電極材料15で被覆する。pチャネルTFTへホウ素イオンを注入する。nチャネルTFT側において、ゲート電極15Bを形成し、上層のゲート絶縁膜14である窒化シリコン薄膜14bを部分的に除去した後、リンイオンを注入する。このときpチャネルTFTでは、2層からなるゲート絶縁膜14を通してリンイオンが注入されることになり、注入されるリン濃度を低減できる。このため、ホウ素イオンの注入量をリンイオンの2倍程度に減少でき、ホウ素イオンの注入時間を削減できる。



【特許請求の範囲】

【請求項1】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置であって、

前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、ソース・ドレイン領域上を被覆するように異種材料を積層した多層構造のゲート絶縁膜からなり、

前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、前記第1の導電型チャネルの薄膜トランジスタと同種の多層構造のゲート絶縁膜からなり、かつ、前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去したことを特徴とする半導体装置。

【請求項2】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする請求項1記載の半導体装置。

【請求項3】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする請求項1記載の半導体装置。

【請求項4】 窒化シリコン薄膜の膜厚が30nm以上150nm以下であることを特徴とする請求項2記載の半導体装置。

【請求項5】 酸化タンタル薄膜の膜厚が20nm以上100nm以下であることを特徴とする請求項3記載の半導体装置。

【請求項6】 酸化シリコン薄膜の膜厚が30nm以上100nm以下であることを特徴とする請求項2、3、4または5記載の半導体装置。

【請求項7】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置の製造方法であって、

前記第1および第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造の前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上をゲート電極材料により被覆する工程と、

前記第1の導電型チャネルの薄膜トランジスタのゲート電極を前記ゲート電極材料からパターン形成した後、前記第2の導電型チャネルの薄膜トランジスタ領域上は前記ゲート電極材料により被覆した状態で、第1の導電型の不純物を注入して前記第1の導電型チャネルの薄膜ト

ランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、

前記第2の導電型チャネルの薄膜トランジスタのゲート電極を前記ゲート電極材料からパターン形成し、かつ前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を前記多層構造により被覆した状態で、第2の導電型の不純物を注入して前記第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置の製造方法であって、

20 前記第1および第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造の前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記第1および第2の導電型チャネルの薄膜トランジスタのゲート電極を形成する工程と、

前記ゲート電極を形成した後、前記第2の導電型チャネルの薄膜トランジスタ領域上を有機物からなるマスクにより被覆し、その後、第1の導電型の不純物を注入して前記第1の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、

30 前記有機物からなるマスクを除去し、前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を前記多層構造により被覆した状態で、第2の導電型の不純物を注入して前記第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項10】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項11】 同一基板上に、表示領域を形成するマトリックスアレイと、前記マトリックスアレイを駆動する走査側駆動回路およびデータ側駆動回路とを集積化したアクティブマトリックスアレイ基板であって、前記走査側およびデータ側駆動回路の少なくとも一部に、請求項1記載の半導体装置を用いたことを特徴とするアクティブマトリックスアレイ基板。

【請求項12】 請求項11記載のアクティブマトリックスアレイ基板と、対向基板との間に液晶を挟持したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置等に用いる半導体装置およびその製造方法とアクティブマトリックスアレイ基板およびそれを用いた液晶表示装置に関する。

【0002】

【従来の技術】図6は従来の半導体装置の製造方法を示す工程断面図である。この半導体装置はpチャネル薄膜トランジスタおよびnチャネル薄膜トランジスタからなるCMOS回路を構成するものであり、液晶表示装置のアクティブマトリックスアレイ基板に集積化される走査側駆動回路やデータ側駆動回路に用いられている。

【0003】まず、図6(a)に示すように、ガラス基板などの透光性基板11上に、pチャネル薄膜トランジスタおよびnチャネル薄膜トランジスタの活性層となる多結晶シリコン薄膜13を形成し、薄膜トランジスタの形状に加工する。その後、酸化シリコン薄膜からなるゲート絶縁膜14を形成し、その上にゲート電極材料15を形成し、pチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、nチャネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素の注入条件は加速電圧60kV、注入量 5×10^{15} ion/cm²である。これにより、pチャネル薄膜トランジスタのソース・ドレイン領域にのみホウ素イオンが注入される。

【0004】次に、図6(b)に示すように、nチャネル薄膜トランジスタ側のゲート電極15Bを加工成形し、リン(P)イオンを注入する。リンイオンの注入条件は加速電圧80kV、注入量 1×10^{15} ion/cm²である。この結果、nチャネル薄膜トランジスタのソース・ドレイン領域にはリンイオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンとリンイオンの両方が注入されることになる。ここで、ホウ素イオンの注入量をリンイオンの注入量より大きく設定することにより、pチャネル薄膜トランジスタのpチャネル動作が可能になる。

【0005】リンイオンの注入後、注入した不純物の活性

化処理を行い、その後、図6(c)に示すように、酸化シリコンからなる層間絶縁膜18を形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、A1からなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0006】

【発明が解決しようとする課題】上記の従来例においては、pチャネル(第1の導電型チャネル)の薄膜トランジスタのホウ素イオン(第1の導電型の不純物)を注入したソース・ドレイン領域には、nチャネル(第2の導電型チャネル)の薄膜トランジスタへ注入するリンイオン(第2の導電型の不純物)が多量に注入されるため、第1の導電型チャネルの薄膜トランジスタの特性を確保するためには、第1の導電型の不純物を第2の導電型の不純物の3〜5倍程度注入しなければならず、第1の導電型の不純物の注入時間が長くなり、スループットが悪化するという問題があった。

【0007】この発明の目的は、第1の導電型チャネルの薄膜トランジスタと第2の導電型チャネルの薄膜トランジスタとを同一基板上に形成する際に、不純物の注入時間を短縮し、スループットを向上することのできる半導体装置およびその製造方法を提供することである。また、この発明の他の目的は、駆動回路に用いられる第1の導電型チャネルの薄膜トランジスタと第2の導電型チャネルの薄膜トランジスタとを形成する際に、不純物の注入時間を短縮し、スループットを向上することのできるアクティブマトリックスアレイ基板およびそれを用いた液晶表示装置を提供することである。

【0008】

【課題を解決するための手段】請求項1記載の半導体装置は、同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置であって、第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、ソース・ドレイン領域上に被覆するように異種材料を積層した多層構造のゲート絶縁膜からなり、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、第1の導電型チャネルの薄膜トランジスタと同種の高層構造のゲート絶縁膜からなり、かつ、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の高層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去したことを特徴とする。

【0009】この構成によれば、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の高層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、第2の導電型チャネルの薄膜トランジスタの高結晶シリコン薄膜にソース・ド

5

レイン領域を形成するために第2の導電型の不純物を注入する際、最上層のゲート絶縁膜の除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入し、このとき、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去されていない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できるため、従来、第1の不純物の注入量が第2の不純物の3～5倍程度であったのを2倍程度に第1の不純物の注入量を低減しても第1の導電型チャンネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スループットを向上することができる。

【0010】また、ゲート絶縁膜を多層構造にすることにより、ピンホール等に対するマージンが増大し、歩留りが向上する。請求項2記載の半導体装置は、請求項1記載の半導体装置において、ゲート絶縁膜が、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする。

【0011】このように、ゲート絶縁膜に酸化シリコン薄膜と窒化シリコン薄膜の積層膜を用いることにより、窒化シリコン薄膜は酸化シリコン薄膜の約1.5倍の誘電率を有し、ゲート絶縁膜が酸化シリコン薄膜の単層膜である場合に比べて、ゲート絶縁膜容量の減少が少なく、薄膜トランジスタのオン電流に与える影響が少なくなる。

【0012】請求項3記載の半導体装置は、請求項1記載の半導体装置において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする。このように、ゲート絶縁膜に酸化シリコン薄膜と酸化タンタル薄膜の積層膜を用いることにより、酸化タンタル薄膜は酸化シリコン薄膜の5～6倍の誘電率を有し、ゲート絶縁膜が酸化シリコン薄膜の単層膜である場合に比べて、ゲート絶縁膜容量の減少が少なく、薄膜トランジスタのオン電流に与える影響が少なくなる。

【0013】請求項4記載の半導体装置は、請求項2記載の半導体装置において、窒化シリコン薄膜の膜厚が30nm以上150nm以下であることを特徴とする。これにより、第2の導電型の不純物注入による低濃度不純物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1～3桁低減することが可能となる。

【0014】請求項5記載の半導体装置は、請求項3記載の半導体装置において、酸化タンタル薄膜の膜厚が20nm以上100nm以下であることを特徴とする。これにより、第2の導電型の不純物注入による低濃度不純

6

物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1～3桁低減することが可能となる。

【0015】請求項6記載の半導体装置は、請求項2、3、4または5記載の半導体装置において、酸化シリコン薄膜の膜厚が30nm以上100nm以下であることを特徴とする。これにより、窒化シリコン薄膜または酸化タンタル薄膜との膜厚バランスにより第2の導電型の不純物注入による低濃度不純物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1～3桁低減することができる。

【0016】請求項7記載の半導体装置の製造方法は、同一基板上に、ソース・ドレイン領域およびチャンネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャンネルの薄膜トランジスタからなる半導体装置の製造方法であって、第1および第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造のゲート絶縁膜を形成する工程と、ゲート絶縁膜上をゲート電極材料により被覆する工程と、第1の導電型チャンネルの薄膜トランジスタのゲート電極をゲート電極材料からパターン形成した後、第2の導電型チャンネルの薄膜トランジスタ領域上はゲート電極材料により被覆した状態で、第1の導電型の不純物を注入して第1の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、第2の導電型チャンネルの薄膜トランジスタのゲート電極をゲート電極材料からパターン形成し、かつ第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、第1の導電型チャンネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を多層構造により被覆した状態で、第2の導電型の不純物を注入して第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする。

【0017】この製造方法によれば、第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成するために第2の導電型の不純物を注入する際、第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、この除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入され、このとき、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去部分がない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できた

め、従来、第1の不純物の注入量が第2の不純物の3～5倍程度であったのを2倍程度に第1の不純物の注入量を低減しても第1の導電型チャンネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スループットを向上することができる。

【0018】請求項8記載の半導体装置の製造方法は、同一基板上に、ソース・ドレイン領域およびチャンネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャンネルの薄膜トランジスタからなる半導体装置の製造方法であって、第1および第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造のゲート絶縁膜を形成する工程と、ゲート絶縁膜上に第1および第2の導電型チャンネルの薄膜トランジスタのゲート電極を形成する工程と、ゲート電極を形成した後、第2の導電型チャンネルの薄膜トランジスタ領域上に有機物からなるマスクにより被覆し、その後、第1の導電型の不純物を注入して第1の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、有機物からなるマスクを除去し、第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、第1の導電型チャンネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を多層構造により被覆した状態で、第2の導電型の不純物を注入して第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする。

【0019】この製造方法によれば、請求項7記載の製造方法と同様の効果が得られる。請求項9記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする。

【0020】請求項10記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする。請求項11記載のアクティブマトリックスアレイ基板は、同一基板上に、表示領域を形成するマトリックスアレイと、マトリックスアレイを駆動する走査側駆動回路およびデータ側駆動回路とを集積化したアクティブマトリックスアレイ基板であって、走査側およびデータ側駆動回路の少なくとも一部に、請求項1記載の半導体装置を用いたことを特徴とする。

【0021】このように、請求項1記載の半導体装置を

用いることにより、不純物の注入時間を短縮し、アクティブマトリックスアレイ基板のスループットを向上することができる。請求項12記載の液晶表示装置は、請求項11記載のアクティブマトリックスアレイ基板と、対向基板との間に液晶を挟持したことを特徴とする。

【0022】このように、請求項11記載のアクティブマトリックスアレイ基板を用いることにより、液晶表示装置のスループットを向上することができる。

【0023】

【発明の実施の形態】以下、この発明の実施の形態について、図1～図5を用いて説明する。なお、以下の実施の形態では、ホウ素を第1の導電型の不純物、pチャンネルを第1の導電型チャンネルとし、燐を第2の導電型の不純物、nチャンネルを第2の導電型チャンネルとして説明する。

【0024】〔第1の実施の形態〕図1はこの発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。まず、図1(a)に示すように、ガラス基板等の透光性基板11上に多結晶シリコン薄膜13を形成する。この多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エキシマレーザ光を照射して溶融・結晶化させ形成する。エキシマレーザの光源としては波長308nmのXeClエキシマレーザを用い、エネルギー密度350mJ/cm²にて結晶化を行った。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを100nm形成し、その上に窒化シリコン薄膜14bを100nm真空中で連続堆積し、2層薄膜を積層したゲート絶縁膜14を形成する。ゲート絶縁膜14を形成後、その上にAl-9.5Zrのゲート電極材料15を形成し、pチャンネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、nチャンネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。

【0025】その後、pチャンネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量2×10¹⁵ion/cm²である。これにより、nチャンネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャンネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0026】次に、図1(b)に示すように、nチャンネル薄膜トランジスタ側において、ゲート電極15Bを加工成形し、上層のゲート絶縁膜14である窒化シリコン薄膜14bを、ゲート電極15Bの外側に各々2μmずつ大きく残してその他の領域を除去する。その後、nチ

ャネル薄膜トランジスタのソース・ドレイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタの窒化シリコン薄膜14bが除去されている領域下の多結晶シリコン薄膜13中の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は加速電圧70kV、注入量 1×10^{15} ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0027】これにより、窒化シリコン薄膜14bが残存する領域下の多結晶シリコン薄膜13では、燐イオンは窒化シリコン薄膜14bおよび酸化シリコン薄膜14aの積層膜を通して注入されるため、燐濃度は窒化シリコン薄膜14bが除去されている領域下の多結晶シリコン薄膜13中に比べて2桁以上小さくなり、一度の不純物注入により、LDD(Lightly-Doped-Drain)領域すなわち低濃度不純物注入領域13bと高濃度不純物注入領域13cとが形成できる。なお、13aは不純物が注入されていない多結晶シリコン薄膜13からなるチャネル領域である。

【0028】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図1(c)に示すように、酸化シリコンからなる層間絶縁膜18を形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、Alからなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0029】この製造方法によれば、nチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになる。しかしながら、pチャネル薄膜トランジスタでは、燐イオンは窒化シリコン薄膜14bと酸化シリコン薄膜14aの2層からなるゲート絶縁膜14を通してソース・ドレイン領域に注入されることになり、注入量はnチャネル薄膜トランジスタの低濃度不純物注入領域13bと等価になり、従来例で示した手法に比べ、pチャネル薄膜トランジスタのソース・ドレイン領域に注入される燐濃度を2桁以上低減することができるため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0030】また、ゲート絶縁膜14が多層構造であるため、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶

縁膜14の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。また、ゲート絶縁膜14を酸化シリコン薄膜14aと窒化シリコン薄膜14bとで構成し、酸化シリコン薄膜14aの膜厚を30nm以上100nm以下とし、かつ窒化シリコン薄膜14bの膜厚を30nm以上150nm以下とすることにより、低濃度不純物注入領域13bのドーザ量を高濃度不純物注入領域13cのドーザ量と比較して1〜3桁低減することができ、一度の不純物注入により、LDD(Lightly-Doped-Drain)構造を実現することができる。

【0031】なお、窒化シリコン薄膜14bの代わりに、膜厚20nm以上100nm以下の酸化タンタル薄膜を用いて同様にしても、一度の不純物注入により、LDD構造を実現することができる。

〔第2の実施の形態〕図2はこの発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0032】まず、図2(a)に示すように、透光性基板11上に多結晶シリコン薄膜13を形成する。多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エネルギー密度400mJ/cm²のエキシマレーザ光を照射して溶融・結晶化させ形成する。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを90nm形成し、その上に酸化タンタル薄膜14cを50nm堆積し、ゲート絶縁膜14を形成する。酸化タンタル薄膜14cは反応性スパッタリング法にて、タンタルターゲットをアルゴンと酸素の混合ガスによりスパッタすることにより形成している。2層薄膜を積層したゲート絶縁膜14を形成後、その上にゲート電極材料15を形成し、pチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このときnチャネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。

【0033】その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量 2×10^{15} ion/cm²である。これにより、nチャネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0034】次に、図2(b)に示すように、nチャネル薄膜トランジスタ側において、ゲート電極15Bを加工成形し、上層のゲート絶縁膜14である酸化タンタル薄膜14cを、ゲート電極15Bと同一形状に加工する。その後、nチャネル薄膜トランジスタのソース・ド

11

レイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタのソース・ドレイン領域の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は、加速電圧70kV、注入量 1×10^{15} ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0035】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図2(c)に示すように、酸化シリコンからなる層間絶縁膜18を400nm形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、A1からなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0036】この製造方法によれば、第1の実施の形態同様、nチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入され、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになるが、pチャネル薄膜トランジスタでは、燐イオンは酸化タンタル薄膜14cと酸化シリコン薄膜14aの2層からなるゲート絶縁膜14を通してソース・ドレイン領域に注入されることになり、従来例で示した手法に比べ、pチャネル薄膜トランジスタのソース・ドレイン領域に注入される燐濃度を2桁以上低減することができる。このため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0037】また、第1の実施の形態同様、ゲート絶縁膜14が多層構造であるため、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶縁膜14の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。なお、ゲート絶縁膜14を、第1の実施の形態では酸化シリコン薄膜14aと窒化シリコン薄膜14bの2層構造の積層膜とし、第2の実施の形態では酸化シリコン薄膜14aと酸化タンタル薄膜14cの2層構造の積層膜としたが、3層以上の多層構造の積層膜としてもよい。例えば、ゲート絶縁膜として、酸化シリコン薄膜、酸化タンタル薄膜、窒化シリコン薄膜を積層した多層構造を用いることができ、燐イオンの注入時に、nチャネル薄膜トランジスタ側のゲート絶縁膜の多層のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去するようにすればよい。

【0038】なお、上記第1および第2の実施の形態で

12

は、nチャネル薄膜トランジスタ側において、ゲート電極材料15で被覆した状態でホウ素イオンを注入し、その後でゲート電極15Bを加工成形するようにしたが、pチャネル薄膜トランジスタのゲート電極15Aを形成するときに同時にnチャネル薄膜トランジスタのゲート電極15Bを形成しておき、その後、レジスト等の有機物からなるマスクでnチャネル薄膜トランジスタ側のみホウ素イオンが注入されないように被覆し、その後でホウ素イオンを注入し、注入後、有機物からなるマスクを除去するようにしてもよい。

【0039】また、上記第1および第2の実施の形態では、ホウ素を第1の導電型の不純物、pチャネルを第1の導電型チャネルとし、燐を第2の導電型の不純物、nチャネルを第2の導電型チャネルとしたが、ホウ素を第2の導電型の不純物、pチャネルを第2の導電型チャネルとし、燐を第1の導電型の不純物、nチャネルを第1の導電型チャネルとして、まず、燐イオンをnチャネル薄膜トランジスタのソース・ドレイン領域に注入し、その後、pチャネル薄膜トランジスタのゲート絶縁膜の上層の一部を除去した後、ホウ素イオンを注入するようにしても同様の効果が得られる。

【0040】また、基板として、ガラス基板等の透光性基板11を用いたが、これは、液晶表示装置用の駆動回路に用いることを前提としたためであり、液晶表示装置以外のものに用いる場合には、基板として透光性基板11に限定する必要はない。また、ホウ素および燐イオンの注入は、上記実施の形態で述べた方法に限定されるものではなく、生成したイオンを質量分離し、加速注入してもよい。

【0041】また、nチャネル薄膜トランジスタには、不純物として燐を導入したが、砒素などドナーとして働くものなら何でもよく、pチャネル薄膜トランジスタには、ほう素のほかアクセプタとして働くものならば何でもよい。

【第3の実施の形態】図3はこの発明の第3の実施の形態における液晶表示装置用のアクティブマトリックスアレイ基板の製造方法を示す工程断面図である。このアクティブマトリックスアレイ基板は、表示領域を形成するマトリックスアレイと駆動回路とを同一基板上に集積化している。

【0042】図4は図3に示した製造方法より作製されるアクティブマトリックスアレイ基板を用いた液晶表示装置の回路構成図の一例であり、図4(a)はその1つの表示画素について示し、図4(b)は全体を示している。図4(a)に示すように、1画素は走査線nおよびデータ線nに接続された薄膜トランジスタ31から形成されており、薄膜トランジスタ31を介して液晶容量C_{LC}が充電され画像表示される。補助容量C_Sは、1フレーム中で液晶容量C_{LC}に充電された電荷を保持するため、液晶容量C_{LC}に並列に形成されている。図4(b)

において、34が図4(a)に示した1画素であり、走査線は走査側駆動回路32に、データ線はデータ側駆動回路33に接続されている。各駆動回路32、33はCMOS構成からなるシフトレジスタやバッファ等の回路要素にて構成されている。

【0043】図3(a)、(b)、(c)におけるそれぞれの左側は図4中の駆動回路32、33を形成する回路要素の1つであるインバータの製造工程断面図の一例であり、図3(a)、(b)、(c)におけるそれぞれの右側は図4中の画素34を駆動する薄膜トランジスタ31の製造工程断面図の一例を示したものである。まず、図3(a)に示すように、透光性基板11上に多結晶シリコン薄膜13を形成する。多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エネルギー密度400mJ/cm²のエキシマレーザ光を照射して溶融・結晶化させ形成する。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを90nm形成し、その上に酸化タンタル薄膜14cを50nm堆積し、ゲート絶縁膜14を形成する。酸化タンタル薄膜14cは反応性スパッタリング法にて、タンタルターゲットをアルゴンと酸素の混合ガスによりスパッタすることにより形成している。2層薄膜を積層したゲート絶縁膜14を形成後、その上にゲート電極材料15を形成し、駆動回路部のpチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、駆動回路部のnチャネル薄膜トランジスタ側と画素部のnチャネル薄膜トランジスタ側とはゲート電極材料15にて被覆しておく。その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量 2×10^{15} ion/cm²である。これにより、駆動回路部および画素部のnチャネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0044】次に、図3(b)に示すように、駆動回路部および画素部のnチャネル薄膜トランジスタ側において、ゲート電極15B、15Cを加工成形した後、上層のゲート絶縁膜14である酸化タンタル薄膜14cを選択的に除去して図3(b)に示した形状に加工する。すなわち、駆動回路部のnチャネル薄膜トランジスタ側の酸化タンタル薄膜14cはゲート電極15Bと同一形状に加工し、画素部のnチャネル薄膜トランジスタの酸化タンタル薄膜14cはゲート電極15Cの外側に各々2μmずつ大きく残してその他の領域を除去する。

【0045】つぎに、nチャネル薄膜トランジスタのソース・ドレイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタの酸化タンタル薄膜14cが除去されている領域下の多結晶シリコン薄膜13中の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は加速電圧70kV、注入量 1×10^{15} ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0046】これにより、駆動回路部のnチャネル薄膜トランジスタは高移動度な自己整合型となり、一方、画素部のnチャネル薄膜トランジスタでは、酸化タンタル薄膜14cをゲート電極15Cの外側に残してあり、酸化タンタル薄膜14cが残存する領域下の多結晶シリコン薄膜13では、燐イオンは酸化タンタル薄膜14cおよび酸化シリコン薄膜14aの積層膜を通して注入されるため、燐濃度は酸化タンタル薄膜14cが除去されている領域下の多結晶シリコン薄膜13中に比べて2桁以上小さくなり、一度の不純物注入により、LDD(Lightly-Doped-Drain)領域すなわち低濃度不純物注入領域13bと高濃度不純物注入領域13cとが形成でき、画素部はオフ電流の小さなLDD-TFTとなる。なお、13aは不純物が注入されていない多結晶シリコン薄膜13からなるチャネル領域である。また、駆動回路部および画素部のnチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになる。しかしながら、pチャネル薄膜トランジスタでは、酸化タンタル薄膜14cと酸化シリコン薄膜14aの2層のゲート絶縁膜14を通して燐イオンがソース・ドレイン領域に注入されることになり、燐イオンのpチャネル薄膜トランジスタのソース・ドレイン領域への注入量は、従来例で示した手法に比べ2桁以上低減可能となる。このため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0047】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図3(c)に示すように、酸化シリコンからなる層間絶縁膜18を400nm形成する。層間絶縁膜18を形成後、駆動回路部および画素部の薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口する。コンタクトホール開口後、画素部の薄膜トランジスタのドレイン領域に接続される表示電極22をITO(インジウムスズオキシド)薄膜によ

り形成する。表示電極22を形成後、A1からなるソース・ドレイン配線19を形成し、窒化シリコン薄膜からなる保護絶縁膜23を全面に形成する。保護絶縁膜23を全面に形成後、表示電極22上の保護絶縁膜23を選択的に除去してアクティブマトリックスアレイ基板が完成する。

【0048】このようにして完成したアクティブマトリックスアレイ基板を用いた液晶表示装置の断面図を図5に示す。アクティブマトリックスアレイ基板と対向配置される対向基板には、対向側透光性基板41上にカラーフィルタ層44およびブラックマトリックス43が形成されており、カラーフィルタ層44およびブラックマトリックス43上にITO薄膜からなる共通電極45が形成されている。対向配置するアクティブマトリックスアレイ基板および対向基板のそれぞれの内側に配向膜46を塗布し、ラビング処理を行った後、両方の基板を張り合わせて液晶47を注入する。最後に、一对の偏光板42を両外側に貼り付けて液晶表示装置が完成する。

【0049】この実施の形態によれば、第1および第2の実施の形態同様、CMOS構成の薄膜トランジスタを形成する不純物の注入時間を短縮でき、アクティブマトリックスアレイ基板のスループットを向上することができる。したがって、それを用いた液晶表示装置のスループットを向上することができる。

【0050】

【発明の効果】この発明によれば、第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成するために第2の導電型の不純物を注入する際、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、この除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入され、このとき、第1の導電型チャネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去部分がない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できるため、第1の不純物の注入量を、従来、第2の不純物の注入量の3〜5倍程度必要であったのに対し、2倍程度に低減しても第1の導電型チャネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スループットを向上することができる。

【0051】また、ゲート絶縁膜が多層構造であるた

め、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶縁膜の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図2】この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

10 【図3】この発明の第3の実施の形態におけるアクティブマトリックスアレイ基板の製造方法を示す工程断面図である。

【図4】この発明の第3の実施の形態における液晶表示装置の回路構成図である。

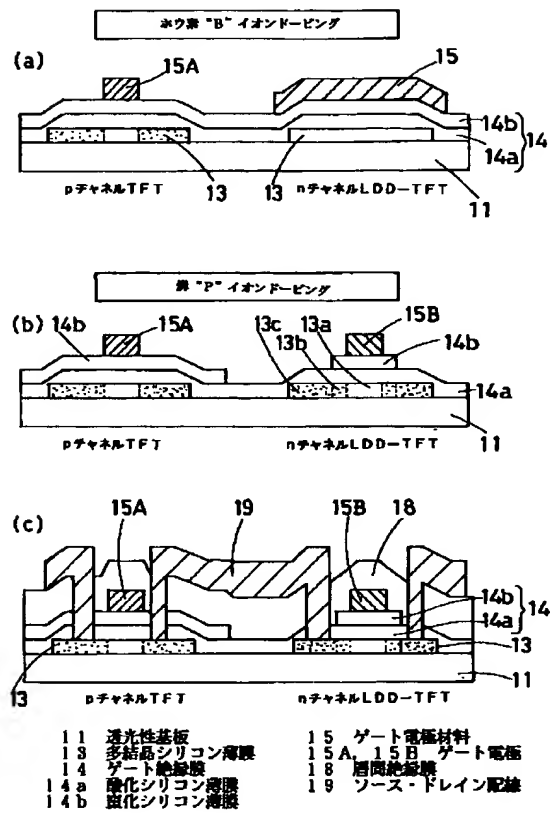
【図5】この発明の第3の実施の形態における液晶表示装置の断面図である。

【図6】従来の半導体装置の製造方法を示す工程断面図である。

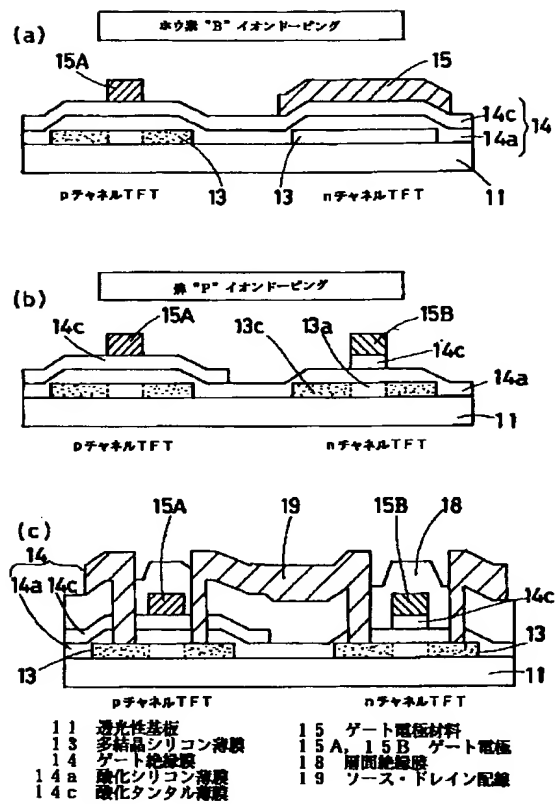
【符号の説明】

- 11 透光性基板
- 13 多結晶シリコン薄膜
- 13a チャンネル領域
- 13b 低濃度不純物注入領域
- 13c 高濃度不純物注入領域
- 14 ゲート絶縁膜
- 14a 酸化シリコン薄膜
- 14b 窒化シリコン薄膜
- 14c 酸化タンタル薄膜
- 15 ゲート電極材料
- 30 15A, 15B, 15C ゲート電極
- 18 層間絶縁膜
- 19 ソース・ドレイン配線
- 22 表示電極
- 23 保護絶縁膜
- 31 薄膜トランジスタ
- 32 走査側駆動回路
- 33 データ側駆動回路
- 34 画素
- 41 対向側透光性基板
- 42 偏光板
- 43 ブラックマトリックス
- 44 カラーフィルタ層
- 45 共通電極
- 46 配向膜
- 47 液晶

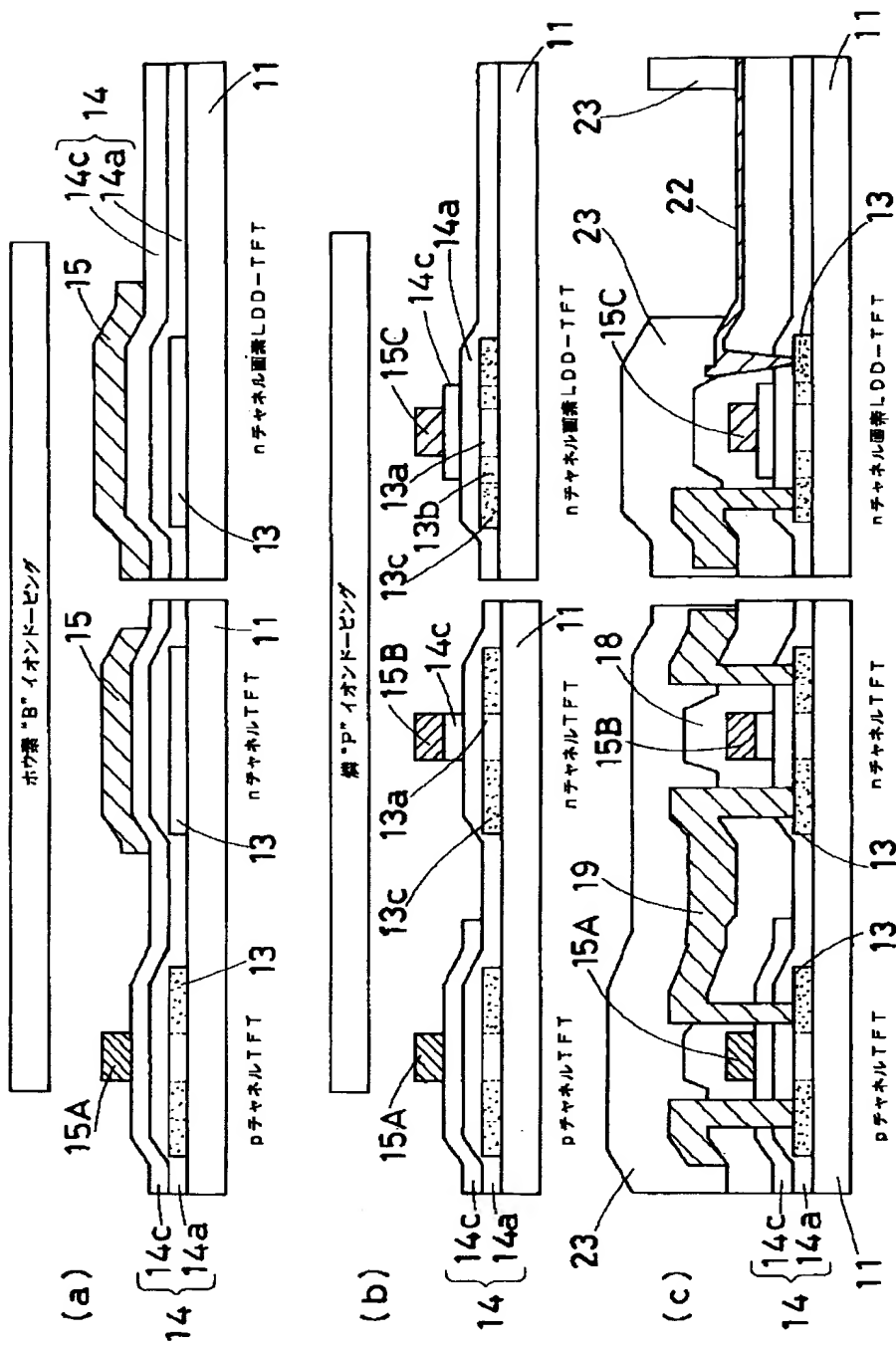
【図1】



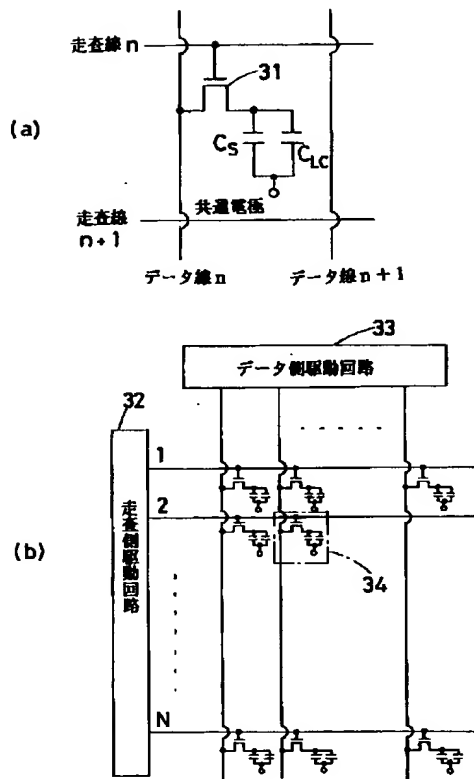
【図2】



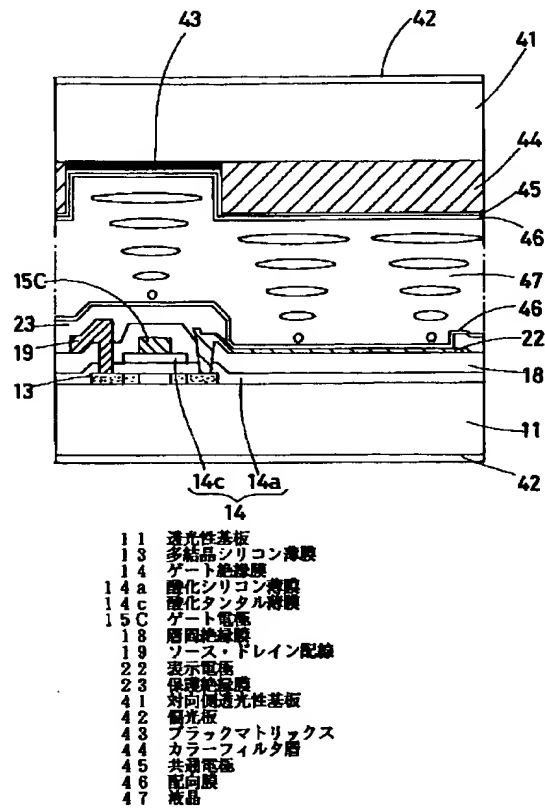
【図3】



【図4】



【図5】



CLIPPEDIMAGE= JP409252136A

PAT-NO: JP409252136A

DOCUMENT-IDENTIFIER: JP 09252136 A

TITLE: SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD,
ACTIVE MATRIX ARRAY,
AND LIQUID CRYSTAL DISPLAY

PUBN-DATE: September 22, 1997

INVENTOR-INFORMATION:

NAME

FURUTA, MAMORU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP08058918

APPL-DATE: March 15, 1996

INT-CL (IPC): H01L029/786;H01L021/336 ;G02F001/136 ;H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To improve a throughput in process, by reducing the time for doping impurities when a p-channel FET and an n-channel FET are formed on the same substrate.

SOLUTION: After a polycrystalline silicon thin film 13 is formed on a substrate 11, a gate insulating thin film 14 made up of a silicon oxide thin film 14a and a silicon nitride thin film 14b is formed. A gate electrode 15A of a p-channel FET is formed, and the gate electrode 15A on the n-channel FET side is covered with a gate electrode material 15. A boron ion is doped in the p-channel FET, and a gate electrode 15B is formed on the n-channel FET side. The silicon

nitride thin film 14b as an upper film of the gate insulating film 14 is removed partly, and a phosphorous ion is doped. At this time, the phosphorous ion is doped through the double layer gate insulating film 14 into the p-channel FET, so the concentration of phosphorous can be reduced. Then, the quantity of implanted boron ion can be reduced as much as twice the phosphorous ion, and thereby the time for implanting the boron ion can be reduced.

COPYRIGHT: (C)1997,JPO

PAT-NO: JP409252136A

DOCUMENT-IDENTIFIER: JP 09252136 A

TITLE: SEMICONDUCTOR DEVICE, ITS
MANUFACTURING METHOD, ACTIVE
MATRIX ARRAY, AND LIQUID CRYSTAL
DISPLAY

PUBN-DATE: September 22, 1997

INVENTOR-INFORMATION:

NAME
FURUTA, MAMORU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP08058918

APPL-DATE: March 15, 1996

INT-CL (IPC): H01L029/786, H01L021/336 , G02F001/136 ,
H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To improve a throughput in process, by reducing the time for doping impurities when a p-channel FET and an n-channel FET are formed on the same substrate.

SOLUTION: After a polycrystalline silicon thin film 13 is formed on a substrate 11, a gate insulating thin film 14 made up of a silicon oxide thin film 14a and a silicon nitride thin film 14b is formed. A gate electrode 15A of a p-channel FET is formed, and the gate electrode 15A on

the n-channel FET side is covered with a gate electrode material 15. A boron ion is doped in the p-channel FET, and a gate electrode 15B is formed on the n-channel FET side. The silicon nitride thin film 14b as an upper film of the gate insulating film 14 is removed partly, and a phosphorous ion is doped. At this time, the phosphorous ion is doped through the double layer gate insulating film 14 into the p-channel FET, so the concentration of phosphorous can be reduced. Then, the quantity of implanted boron ion can be reduced as much as twice the phosphorous ion, and thereby the time for implanting the boron ion can be reduced.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252136

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 V
21/336			G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0		H 0 1 L 21/265	H
H 0 1 L 21/265			29/78	6 1 2 B
				6 1 6 A

審査請求 未請求 請求項の数12 OL (全 13 頁) 最終頁に続く

(21) 出願番号 特願平8-58918

(22) 出願日 平成8年(1996)3月15日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古田 守

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

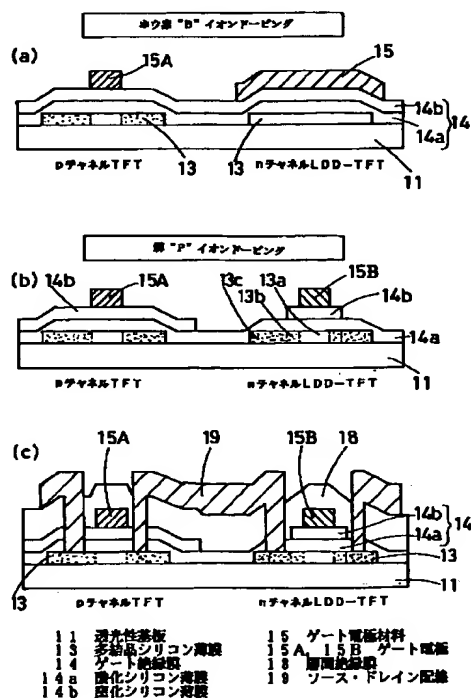
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置およびその製造方法とアクティブマトリクスアレイ基板およびそれを用いた液晶表示装置

(57) 【要約】

【課題】 pチャネルとnチャネルのTFT（薄膜トランジスタ）を同一基板に形成する際に、不純物の注入時間を短縮し、スループットを向上させる。

【解決手段】 基板11上に多結晶シリコン薄膜13を形成した後、酸化シリコン薄膜14aと窒化シリコン薄膜14bからなるゲート絶縁膜14を形成する。pチャネルTFTのゲート電極15Aを形成し、nチャネルTFT側はゲート電極材料15で被覆する。pチャネルTFTへホウ素イオンを注入する。nチャネルTFT側において、ゲート電極15Bを形成し、上層のゲート絶縁膜14である窒化シリコン薄膜14bを部分的に除去した後、リンイオンを注入する。このときpチャネルTFTでは、2層からなるゲート絶縁膜14を通してリンイオンが注入されることになり、注入されるリン濃度を低減できる。このため、ホウ素イオンの注入量をリンイオンの2倍程度に減少でき、ホウ素イオンの注入時間を削減できる。



【特許請求の範囲】

【請求項1】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置であって、前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、ソース・ドレイン領域上を被覆するように異種材料を積層した多層構造のゲート絶縁膜からなり、前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、前記第1の導電型チャネルの薄膜トランジスタと同種の多層構造のゲート絶縁膜からなり、かつ、前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去したことを特徴とする半導体装置。

【請求項2】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする請求項1記載の半導体装置。

【請求項3】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする請求項1記載の半導体装置。

【請求項4】 窒化シリコン薄膜の膜厚が30nm以上150nm以下であることを特徴とする請求項2記載の半導体装置。

【請求項5】 酸化タンタル薄膜の膜厚が20nm以上100nm以下であることを特徴とする請求項3記載の半導体装置。

【請求項6】 酸化シリコン薄膜の膜厚が30nm以上100nm以下であることを特徴とする請求項2, 3, 4または5記載の半導体装置。

【請求項7】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置の製造方法であって、

前記第1および第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造の前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上をゲート電極材料により被覆する工程と、

前記第1の導電型チャネルの薄膜トランジスタのゲート電極を前記ゲート電極材料からパターン形成した後、前記第2の導電型チャネルの薄膜トランジスタ領域上は前記ゲート電極材料により被覆した状態で、第1の導電型の不純物を注入して前記第1の導電型チャネルの薄膜ト

ランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、

前記第2の導電型チャネルの薄膜トランジスタのゲート電極を前記ゲート電極材料からパターン形成し、かつ前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を前記多層構造により被覆した状態で、第2の導電型の不純物を注入して前記第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、前記多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置の製造方法であって、

20 前記第1および第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造の前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記第1および第2の導電型チャネルの薄膜トランジスタのゲート電極を形成する工程と、

前記ゲート電極を形成した後、前記第2の導電型チャネルの薄膜トランジスタ領域上を有機物からなるマスクにより被覆し、その後、第1の導電型の不純物を注入して

30 前記第1の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、

前記有機物からなるマスクを除去し、前記第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、前記第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を前記多層構造により被覆した状態で、第2の導電型の不純物を注入して前記第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項10】 ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項11】 同一基板上に、表示領域を形成するマトリックスアレイと、前記マトリックスアレイを駆動する走査側駆動回路およびデータ側駆動回路とを集積化したアクティブマトリックスアレイ基板であって、前記走査側およびデータ側駆動回路の少なくとも一部に、請求項1記載の半導体装置を用いたことを特徴とするアクティブマトリックスアレイ基板。

【請求項12】 請求項11記載のアクティブマトリックスアレイ基板と、対向基板との間に液晶を挟持したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置等に用いる半導体装置およびその製造方法とアクティブマトリックスアレイ基板およびそれを用いた液晶表示装置に関する。

【0002】

【従来の技術】図6は従来の半導体装置の製造方法を示す工程断面図である。この半導体装置はpチャネル薄膜トランジスタおよびnチャネル薄膜トランジスタからなるCMOS回路を構成するものであり、液晶表示装置のアクティブマトリックスアレイ基板に集積化される走査側駆動回路やデータ側駆動回路に用いられている。

【0003】まず、図6(a)に示すように、ガラス基板などの透光性基板11上に、pチャネル薄膜トランジスタおよびnチャネル薄膜トランジスタの活性層となる多結晶シリコン薄膜13を形成し、薄膜トランジスタの形状に加工する。その後、酸化シリコン薄膜からなるゲート絶縁膜14を形成し、その上にゲート電極材料15を形成し、pチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、nチャネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素の注入条件は加速電圧60kV、注入量 5×10^{15} ion/cm²である。これにより、pチャネル薄膜トランジスタのソース・ドレイン領域にのみホウ素イオンが注入される。

【0004】次に、図6(b)に示すように、nチャネル薄膜トランジスタ側のゲート電極15Bを加工成形し、リン(P)イオンを注入する。リンイオンの注入条件は加速電圧80kV、注入量 1×10^{15} ion/cm²である。この結果、nチャネル薄膜トランジスタのソース・ドレイン領域にはリンイオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンとリンイオンの両方が注入されることになる。ここで、ホウ素イオンの注入量をリンイオンの注入量より大きく設定することにより、pチャネル薄膜トランジスタのpチャネル動作が可能になる。

【0005】リンイオンの注入後、注入した不純物の活性

化処理を行い、その後、図6(c)に示すように、酸化シリコンからなる層間絶縁膜18を形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、A1からなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0006】

【発明が解決しようとする課題】上記の従来例においては、pチャネル(第1の導電型チャネル)の薄膜トランジスタのホウ素イオン(第1の導電型の不純物)を注入したソース・ドレイン領域には、nチャネル(第2の導電型チャネル)の薄膜トランジスタへ注入するリンイオン(第2の導電型の不純物)が多量に注入されるため、第1の導電型チャネルの薄膜トランジスタの特性を確保するためには、第1の導電型の不純物を第2の導電型の不純物の3〜5倍程度注入しなければならず、第1の導電型の不純物の注入時間が長くなり、スループットが悪化するという問題があった。

【0007】この発明の目的は、第1の導電型チャネルの薄膜トランジスタと第2の導電型チャネルの薄膜トランジスタとを同一基板上に形成する際に、不純物の注入時間を短縮し、スループットを向上することのできる半導体装置およびその製造方法を提供することである。また、この発明の他の目的は、駆動回路に用いられる第1の導電型チャネルの薄膜トランジスタと第2の導電型チャネルの薄膜トランジスタとを形成する際に、不純物の注入時間を短縮し、スループットを向上することのできるアクティブマトリックスアレイ基板およびそれを用いた液晶表示装置を提供することである。

【0008】

【課題を解決するための手段】請求項1記載の半導体装置は、同一基板上に、ソース・ドレイン領域およびチャネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャネルの薄膜トランジスタからなる半導体装置であって、第1の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、ソース・ドレイン領域上に被覆するように異種材料を積層した多層構造のゲート絶縁膜からなり、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜は、第1の導電型チャネルの薄膜トランジスタと同種の高層構造のゲート絶縁膜からなり、かつ、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の高層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去したことを特徴とする。

【0009】この構成によれば、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の高層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、第2の導電型チャネルの薄膜トランジスタの高結晶シリコン薄膜にソース・ド

レイン領域を形成するために第2の導電型の不純物を注入する際、最上層のゲート絶縁膜の除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入し、このとき、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去されていない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できるため、従来、第1の不純物の注入量が第2の不純物の3〜5倍程度であったのを2倍程度に第1の不純物の注入量を低減しても第1の導電型チャンネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スループットを向上することができる。

【0010】また、ゲート絶縁膜を多層構造にすることにより、ピンホール等に対するマージンが増大し、歩留りが向上する。請求項2記載の半導体装置は、請求項1記載の半導体装置において、ゲート絶縁膜が、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする。

【0011】このように、ゲート絶縁膜に酸化シリコン薄膜と窒化シリコン薄膜の積層膜を用いることにより、窒化シリコン薄膜は酸化シリコン薄膜の約1.5倍の誘電率を有し、ゲート絶縁膜が酸化シリコン薄膜の単層膜である場合に比べて、ゲート絶縁膜容量の減少が少なく、薄膜トランジスタのオン電流に与える影響が少なくなる。

【0012】請求項3記載の半導体装置は、請求項1記載の半導体装置において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする。このように、ゲート絶縁膜に酸化シリコン薄膜と酸化タンタル薄膜の積層膜を用いることにより、酸化タンタル薄膜は酸化シリコン薄膜の5〜6倍の誘電率を有し、ゲート絶縁膜が酸化シリコン薄膜の単層膜である場合に比べて、ゲート絶縁膜容量の減少が少なく、薄膜トランジスタのオン電流に与える影響が少なくなる。

【0013】請求項4記載の半導体装置は、請求項2記載の半導体装置において、窒化シリコン薄膜の膜厚が30nm以上150nm以下であることを特徴とする。これにより、第2の導電型の不純物注入による低濃度不純物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1〜3桁低減することが可能となる。

【0014】請求項5記載の半導体装置は、請求項3記載の半導体装置において、酸化タンタル薄膜の膜厚が20nm以上100nm以下であることを特徴とする。これにより、第2の導電型の不純物注入による低濃度不純

物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1〜3桁低減することが可能となる。

【0015】請求項6記載の半導体装置は、請求項2, 3, 4または5記載の半導体装置において、酸化シリコン薄膜の膜厚が30nm以上100nm以下であることを特徴とする。これにより、窒化シリコン薄膜または酸化タンタル薄膜との膜厚バランスにより第2の導電型の不純物注入による低濃度不純物注入領域のドーズ量を高濃度不純物注入領域のドーズ量と比較して、1〜3桁低減することができる。

【0016】請求項7記載の半導体装置の製造方法は、同一基板上に、ソース・ドレイン領域およびチャンネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャンネルの薄膜トランジスタからなる半導体装置の製造方法であって、第1および第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造のゲート絶縁膜を形成する工程と、ゲート絶縁膜上をゲート電極材料により被覆する工程と、第1の導電型チャンネルの薄膜トランジスタのゲート電極をゲート電極材料からパターン形成した後、第2の導電型チャンネルの薄膜トランジスタ領域上はゲート電極材料により被覆した状態で、第1の導電型の不純物を注入して第1の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、第2の導電型チャンネルの薄膜トランジスタのゲート電極をゲート電極材料からパターン形成し、かつ第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、第1の導電型チャンネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を多層構造により被覆した状態で、第2の導電型の不純物を注入して第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする。

【0017】この製造方法によれば、第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成するために第2の導電型の不純物を注入する際、第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、この除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入され、このとき、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去部分がない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャンネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できるた

め、従来、第1の不純物の注入量が第2の不純物の3～5倍程度であったのを2倍程度に第1の不純物の注入量を低減しても第1の導電型チャンネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スルーブットを向上することができる。

【0018】請求項8記載の半導体装置の製造方法は、同一基板上に、ソース・ドレイン領域およびチャンネル領域となる多結晶シリコン薄膜を形成し、多結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を形成した第1および第2の導電型チャンネルの薄膜トランジスタからなる半導体装置の製造方法であって、第1および第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜を被覆するように、異種材料を積層した多層構造のゲート絶縁膜を形成する工程と、ゲート絶縁膜上に第1および第2の導電型チャンネルの薄膜トランジスタのゲート電極を形成する工程と、ゲート電極を形成した後、第2の導電型チャンネルの薄膜トランジスタ領域上に有機物からなるマスクにより被覆し、その後、第1の導電型の不純物を注入して第1の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程と、有機物からなるマスクを除去し、第2の導電型チャンネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去した後に、第1の導電型チャンネルの薄膜トランジスタのゲート絶縁膜はソース・ドレイン領域上を多層構造により被覆した状態で、第2の導電型の不純物を注入して第2の導電型チャンネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成する工程とを含むことを特徴とする。

【0019】この製造方法によれば、請求項7記載の製造方法と同様の効果が得られる。請求項9記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した窒化シリコン薄膜とからなることを特徴とする。

【0020】請求項10記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、ゲート絶縁膜は、多結晶シリコン薄膜上に形成した酸化シリコン薄膜と、この酸化シリコン薄膜上に形成した酸化タンタル薄膜とからなることを特徴とする。請求項11記載のアクティブマトリックスアレイ基板は、同一基板上に、表示領域を形成するマトリックスアレイと、マトリックスアレイを駆動する走査側駆動回路およびデータ側駆動回路とを集積化したアクティブマトリックスアレイ基板であって、走査側およびデータ側駆動回路の少なくとも一部に、請求項1記載の半導体装置を用いたことを特徴とする。

【0021】このように、請求項1記載の半導体装置を

用いることにより、不純物の注入時間を短縮し、アクティブマトリックスアレイ基板のスルーブットを向上することができる。請求項12記載の液晶表示装置は、請求項11記載のアクティブマトリックスアレイ基板と、対向基板との間に液晶を挟持したことを特徴とする。

【0022】このように、請求項11記載のアクティブマトリックスアレイ基板を用いることにより、液晶表示装置のスルーブットを向上することができる。

【0023】

【発明の実施の形態】以下、この発明の実施の形態について、図1～図5を用いて説明する。なお、以下の実施の形態では、ホウ素を第1の導電型の不純物、pチャンネルを第1の導電型チャンネルとし、燐を第2の導電型の不純物、nチャンネルを第2の導電型チャンネルとして説明する。

【0024】〔第1の実施の形態〕図1はこの発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。まず、図1(a)に示すように、ガラス基板等の透光性基板11上に多結晶シリコン薄膜13を形成する。この多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エキシマレーザ光を照射して溶融・結晶化させ形成する。エキシマレーザの光源としては波長308nmのXeClエキシマレーザを用い、エネルギー密度350mJ/cm²にて結晶化を行った。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを100nm形成し、その上に窒化シリコン薄膜14bを100nm真空中で連続堆積し、2層薄膜を積層したゲート絶縁膜14を形成する。ゲート絶縁膜14を形成後、その上にAl-9.5%Zrのゲート電極材料15を形成し、pチャンネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、nチャンネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。

【0025】その後、pチャンネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量2×10¹⁵ion/cm²である。これにより、nチャンネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャンネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0026】次に、図1(b)に示すように、nチャンネル薄膜トランジスタ側において、ゲート電極15Bを加工成形し、上層のゲート絶縁膜14である窒化シリコン薄膜14bを、ゲート電極15Bの外側に各々2μmずつ大きく残してその他の領域を除去する。その後、nチ

チャネル薄膜トランジスタのソース・ドレイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタの窒化シリコン薄膜14bが除去されている領域下の多結晶シリコン薄膜13中の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は加速電圧70kV、注入量 1×10^{15} ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0027】これにより、窒化シリコン薄膜14bが残存する領域下の多結晶シリコン薄膜13では、燐イオンは窒化シリコン薄膜14bおよび酸化シリコン薄膜14aの積層膜を通して注入されるため、燐濃度は窒化シリコン薄膜14bが除去されている領域下の多結晶シリコン薄膜13中に比べて2桁以上小さくなり、一度の不純物注入により、LDD(Lightly-Doped-Drain)領域すなわち低濃度不純物注入領域13bと高濃度不純物注入領域13cとが形成できる。なお、13aは不純物が注入されていない多結晶シリコン薄膜13からなるチャネル領域である。

【0028】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図1(c)に示すように、酸化シリコンからなる層間絶縁膜18を形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、A1からなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0029】この製造方法によれば、nチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになる。しかしながら、pチャネル薄膜トランジスタでは、燐イオンは窒化シリコン薄膜14bと酸化シリコン薄膜14aの2層からなるゲート絶縁膜14を通してソース・ドレイン領域に注入されることになり、注入量はnチャネル薄膜トランジスタの低濃度不純物注入領域13bと等価になり、従来例で示した手法に比べ、pチャネル薄膜トランジスタのソース・ドレイン領域に注入される燐濃度を2桁以上低減することができるため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0030】また、ゲート絶縁膜14が多層構造であるため、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶

縁膜14の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。また、ゲート絶縁膜14を酸化シリコン薄膜14aと窒化シリコン薄膜14bとで構成し、酸化シリコン薄膜14aの膜厚を30nm以上100nm以下とし、かつ窒化シリコン薄膜14bの膜厚を30nm以上150nm以下とすることにより、低濃度不純物注入領域13bのドーズ量を高濃度不純物注入領域13cのドーズ量と比較して1〜3桁低減することができ、一度の不純物注入により、LDD(Lightly-Doped-Drain)構造を実現することができる。

【0031】なお、窒化シリコン薄膜14bの代わりに、膜厚20nm以上100nm以下の酸化タンタル薄膜を用いて同様にしても、一度の不純物注入により、LDD構造を実現することができる。

〔第2の実施の形態〕図2はこの発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0032】まず、図2(a)に示すように、透光性基板11上に多結晶シリコン薄膜13を形成する。多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エネルギー密度400mJ/cm²のエキシマレーザ光を照射して溶融・結晶化させ形成する。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを90nm形成し、その上に酸化タンタル薄膜14cを50nm堆積し、ゲート絶縁膜14を形成する。酸化タンタル薄膜14cは反応性スパッタリング法にて、タンタルターゲットをアルゴンと酸素の混合ガスによりスパッタすることにより形成している。2層薄膜を積層したゲート絶縁膜14を形成後、その上にゲート電極材料15を形成し、pチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このときnチャネル薄膜トランジスタ側はゲート電極材料15にて被覆しておく。

【0033】その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量 2×10^{15} ion/cm²である。これにより、nチャネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0034】次に、図2(b)に示すように、nチャネル薄膜トランジスタ側において、ゲート電極15Bを加工成形し、上層のゲート絶縁膜14である酸化タンタル薄膜14cを、ゲート電極15Bと同一形状に加工する。その後、nチャネル薄膜トランジスタのソース・ド

10

20

30

40

50

11

レイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタのソース・ドレイン領域の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は、加速電圧70kV、注入量 1×10^{15} ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0035】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図2(c)に示すように、酸化シリコンからなる層間絶縁膜18を400nm形成する。層間絶縁膜18を形成後、pチャネルおよびnチャネルの薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口し、A1からなるソース・ドレイン配線19を形成してCMOS構成の半導体装置が完成する。

【0036】この製造方法によれば、第1の実施の形態同様、nチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入され、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになるが、pチャネル薄膜トランジスタでは、燐イオンは酸化タンタル薄膜14cと酸化シリコン薄膜14aの2層からなるゲート絶縁膜14を通してソース・ドレイン領域に注入されることになり、従来例で示した手法に比べ、pチャネル薄膜トランジスタのソース・ドレイン領域に注入される燐濃度を2桁以上低減することができる。このため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0037】また、第1の実施の形態同様、ゲート絶縁膜14が多層構造であるため、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶縁膜14の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。なお、ゲート絶縁膜14を、第1の実施の形態では酸化シリコン薄膜14aと窒化シリコン薄膜14bの2層構造の積層膜とし、第2の実施の形態では酸化シリコン薄膜14aと酸化タンタル薄膜14cの2層構造の積層膜としたが、3層以上の多層構造の積層膜としてもよい。例えば、ゲート絶縁膜として、酸化シリコン薄膜、酸化タンタル薄膜、窒化シリコン薄膜を積層した多層構造を用いることができ、燐イオンの注入時に、nチャネル薄膜トランジスタ側のゲート絶縁膜の多層のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去するようにすればよい。

【0038】なお、上記第1および第2の実施の形態で

12

は、nチャネル薄膜トランジスタ側において、ゲート電極材料15で被覆した状態でホウ素イオンを注入し、その後でゲート電極15Bを加工成形するようにしたが、pチャネル薄膜トランジスタのゲート電極15Aを形成するときに同時にnチャネル薄膜トランジスタのゲート電極15Bを形成しておき、その後、レジスト等の有機物からなるマスクでnチャネル薄膜トランジスタ側のみホウ素イオンが注入されないように被覆し、その後でホウ素イオンを注入し、注入後、有機物からなるマスクを除去するようにしてもよい。

【0039】また、上記第1および第2の実施の形態では、ホウ素を第1の導電型の不純物、pチャネルを第1の導電型チャネルとし、燐を第2の導電型の不純物、nチャネルを第2の導電型チャネルとしたが、ホウ素を第2の導電型の不純物、pチャネルを第2の導電型チャネルとし、燐を第1の導電型の不純物、nチャネルを第1の導電型チャネルとして、まず、燐イオンをnチャネル薄膜トランジスタのソース・ドレイン領域に注入し、その後、pチャネル薄膜トランジスタのゲート絶縁膜の上層の一部を除去した後、ホウ素イオンを注入するようにしても同様の効果が得られる。

【0040】また、基板として、ガラス基板等の透光性基板11を用いたが、これは、液晶表示装置用の駆動回路に用いることを前提としたためであり、液晶表示装置以外のものに用いる場合には、基板として透光性基板11に限定する必要はない。また、ホウ素および燐イオンの注入は、上記実施の形態で述べた方法に限定されるものではなく、生成したイオンを質量分離し、加速注入してもよい。

【0041】また、nチャネル薄膜トランジスタには、不純物として燐を導入したが、砒素などドナーとして働くものなら何でもよく、pチャネル薄膜トランジスタには、ほう素のほかアクセプタとして働くものならば何でもよい。

〔第3の実施の形態〕図3はこの発明の第3の実施の形態における液晶表示装置用のアクティブマトリクスアレイ基板の製造方法を示す工程断面図である。このアクティブマトリクスアレイ基板は、表示領域を形成するマトリクスアレイと駆動回路とを同一基板上に集積化している。

【0042】図4は図3に示した製造方法より作製されるアクティブマトリクスアレイ基板を用いた液晶表示装置の回路構成図の一例であり、図4(a)はその1つの表示画素について示し、図4(b)は全体を示している。図4(a)に示すように、1画素は走査線nおよびデータ線nに接続された薄膜トランジスタ31から形成されており、薄膜トランジスタ31を介して液晶容量C_{LC}が充電され画像表示される。補助容量C_sは、1フレーム中で液晶容量C_{LC}に充電された電荷を保持するため、液晶容量C_{LC}に並列に形成されている。図4(b)

において、34が図4(a)に示した1画素であり、走査線は走査側駆動回路32に、データ線はデータ側駆動回路33に接続されている。各駆動回路32、33はCMOS構成からなるシフトレジスタやバッファ等の回路要素にて構成されている。

【0043】図3(a)、(b)、(c)におけるそれぞれの左側は図4中の駆動回路32、33を形成する回路要素の1つであるインバータの製造工程断面図の一例であり、図3(a)、(b)、(c)におけるそれぞれの右側は図4中の画素34を駆動する薄膜トランジスタ31の製造工程断面図の一例を示したものである。まず、図3(a)に示すように、透光性基板11上に多結晶シリコン薄膜13を形成する。多結晶シリコン薄膜13は、プラズマCVD法にて膜厚50nmの非晶質シリコン薄膜を形成し、450℃、90分の熱処理により膜中の水素濃度を低減したのち、エネルギー密度400mJ/cm²のエキシマレーザ光を照射して溶融・結晶化させ形成する。多結晶シリコン薄膜13を形成後、薄膜トランジスタの形状に加工し、プラズマCVD法を用いて酸化シリコン薄膜14aを90nm形成し、その上に酸化タンタル薄膜14cを50nm堆積し、ゲート絶縁膜14を形成する。酸化タンタル薄膜14cは反応性スパッタリング法にて、タンタルターゲットをアルゴンと酸素の混合ガスによりスパッタすることにより形成している。2層薄膜を積層したゲート絶縁膜14を形成後、その上にゲート電極材料15を形成し、駆動回路部のpチャネル薄膜トランジスタ側のゲート電極15Aを加工成形する。このとき、駆動回路部のnチャネル薄膜トランジスタ側と画素部のnチャネル薄膜トランジスタ側とはゲート電極材料15にて被覆しておく。その後、pチャネル薄膜トランジスタのゲート電極15Aをマスクとしてホウ素(B)イオンを注入する。ホウ素イオンは水素希釈率95%のB₂H₆ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。注入条件は加速電圧70kV、注入量2×10¹⁵ ion/cm²である。これにより、駆動回路部および画素部のnチャネル薄膜トランジスタ側はゲート電極材料15にて被覆されているため、pチャネル薄膜トランジスタ側のみホウ素イオンが注入されソース・ドレイン領域が形成される。

【0044】次に、図3(b)に示すように、駆動回路部および画素部のnチャネル薄膜トランジスタ側において、ゲート電極15B、15Cを加工成形した後、上層のゲート絶縁膜14である酸化タンタル薄膜14cを選択的に除去して図3(b)に示した形状に加工する。すなわち、駆動回路部のnチャネル薄膜トランジスタ側の酸化タンタル薄膜14cはゲート電極15Bと同一形状に加工し、画素部のnチャネル薄膜トランジスタの酸化タンタル薄膜14cはゲート電極15Cの外側に各々2μmずつ大きく残してその他の領域を除去する。

【0045】つぎに、nチャネル薄膜トランジスタのソース・ドレイン領域を形成するため、燐(P)イオンを注入する。このとき、nチャネル薄膜トランジスタの酸化タンタル薄膜14cが除去されている領域下の多結晶シリコン薄膜13中の燐濃度が最大となるような加速電圧にて注入する。この燐イオンの注入条件は加速電圧70kV、注入量1×10¹⁵ ion/cm²であり、水素希釈率95%のPH₃ガスをプラズマ分解してイオンを生成し、生成したイオンの質量分離工程を行うことなく加速して基板に注入している。

【0046】これにより、駆動回路部のnチャネル薄膜トランジスタは高移動度な自己整合型となり、一方、画素部のnチャネル薄膜トランジスタでは、酸化タンタル薄膜14cをゲート電極15Cの外側に残してあり、酸化タンタル薄膜14cが残存する領域下の多結晶シリコン薄膜13では、燐イオンは酸化タンタル薄膜14cおよび酸化シリコン薄膜14aの積層膜を通して注入されるため、燐濃度は酸化タンタル薄膜14cが除去されている領域下の多結晶シリコン薄膜13中に比べて2桁以上小さくなり、一度の不純物注入により、LDD(Lightly-Doped-Drain)領域すなわち低濃度不純物注入領域13bと高濃度不純物注入領域13cとが形成でき、画素部はオフ電流の小さなLDD-TFTとなる。なお、13aは不純物が注入されていない多結晶シリコン薄膜13からなるチャネル領域である。また、駆動回路部および画素部のnチャネル薄膜トランジスタのソース・ドレイン領域には燐イオンのみが注入されるが、pチャネル薄膜トランジスタのソース・ドレイン領域にはホウ素イオンと燐イオンの両方が注入されることになる。しかしながら、pチャネル薄膜トランジスタでは、酸化タンタル薄膜14cと酸化シリコン薄膜14aの2層のゲート絶縁膜14を通して燐イオンがソース・ドレイン領域に注入されることになり、燐イオンのpチャネル薄膜トランジスタのソース・ドレイン領域への注入量は、従来例で示した手法に比べ2桁以上低減可能となる。このため、pチャネル薄膜トランジスタの特性を確保するために従来はホウ素イオンの注入量が燐イオンの注入量の3〜5倍程度必要であったのに対し、ホウ素イオンの注入量を燐イオンの注入量の2倍程度に減少させることが可能となり、ホウ素イオンの注入時間を約60%削減でき、製造工程のスループットを向上させることができる。

【0047】燐イオンを注入後、注入した不純物の活性化処理を行い、その後、図3(c)に示すように、酸化シリコンからなる層間絶縁膜18を400nm形成する。層間絶縁膜18を形成後、駆動回路部および画素部の薄膜トランジスタのソース・ドレイン領域上にコンタクトホールを開口する。コンタクトホール開口後、画素部の薄膜トランジスタのドレイン領域に接続される表示電極22をITO(インジウムスズオキシド)薄膜によ

15

り形成する。表示電極22を形成後、A1からなるソース・ドレイン配線19を形成し、窒化シリコン薄膜からなる保護絶縁膜23を全面に形成する。保護絶縁膜23を全面に形成後、表示電極22上の保護絶縁膜23を選択的に除去してアクティブマトリックスアレイ基板が完成する。

【0048】このようにして完成したアクティブマトリックスアレイ基板を用いた液晶表示装置の断面図を図5に示す。アクティブマトリックスアレイ基板と対向配置される対向基板には、対向側透光性基板41上にカラーフィルタ層44およびブラックマトリックス43が形成されており、カラーフィルタ層44およびブラックマトリックス43上にITO薄膜からなる共通電極45が形成されている。対向配置するアクティブマトリックスアレイ基板および対向基板のそれぞれの内側に配向膜46を塗布し、ラビング処理を行った後、両方の基板を張り合わせて液晶47を注入する。最後に、一对の偏光板42を両外側に貼り付けて液晶表示装置が完成する。

【0049】この実施の形態によれば、第1および第2の実施の形態同様、CMOS構成の薄膜トランジスタを形成する不純物の注入時間を短縮でき、アクティブマトリックスアレイ基板のスループットを向上することができる。したがって、それを用いた液晶表示装置のスループットを向上することができる。

【0050】

【発明の効果】この発明によれば、第2の導電型チャネルの薄膜トランジスタの多結晶シリコン薄膜にソース・ドレイン領域を形成するために第2の導電型の不純物を注入する際、第2の導電型チャネルの薄膜トランジスタのゲート絶縁膜の多層構造のうち少なくとも最上層のソース・ドレイン領域上における少なくとも一部を除去しているため、この除去部分下のソース・ドレイン領域の不純物濃度が最大となるように注入され、このとき、第1の導電型チャネルの薄膜トランジスタのソース・ドレイン領域にも第2の導電型の不純物が注入されるが、除去部分がない多層構造のゲート絶縁膜を通して注入されるため、注入量が少なくなる。このように、第1の導電型チャネルの薄膜トランジスタのソース・ドレイン領域に注入される第2の導電型の不純物を低減できるため、第1の不純物の注入量を、従来、第2の不純物の注入量の3〜5倍程度必要であったのに対し、2倍程度に低減しても第1の導電型チャネルの薄膜トランジスタの特性を確保できる。したがって、第1の不純物の注入量を低減して不純物の注入時間を短縮し、スループットを向上することができる。

【0051】また、ゲート絶縁膜が多層構造であるた

16

め、ピンホール等に対する冗長性が向上し、製造歩留まりを大幅に向上することができるとともに、ゲート絶縁膜の耐圧ならびに薄膜トランジスタの信頼性を大幅に向上することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図2】この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

10 【図3】この発明の第3の実施の形態におけるアクティブマトリックスアレイ基板の製造方法を示す工程断面図である。

【図4】この発明の第3の実施の形態における液晶表示装置の回路構成図である。

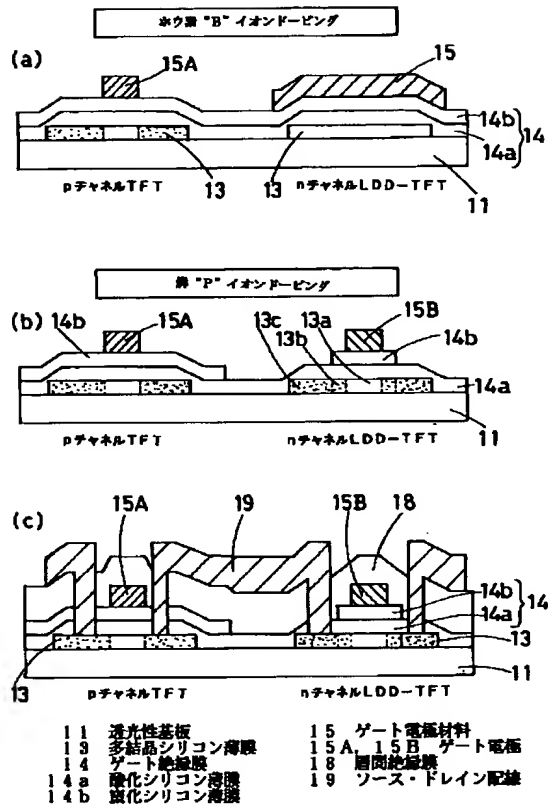
【図5】この発明の第3の実施の形態における液晶表示装置の断面図である。

【図6】従来の半導体装置の製造方法を示す工程断面図である。

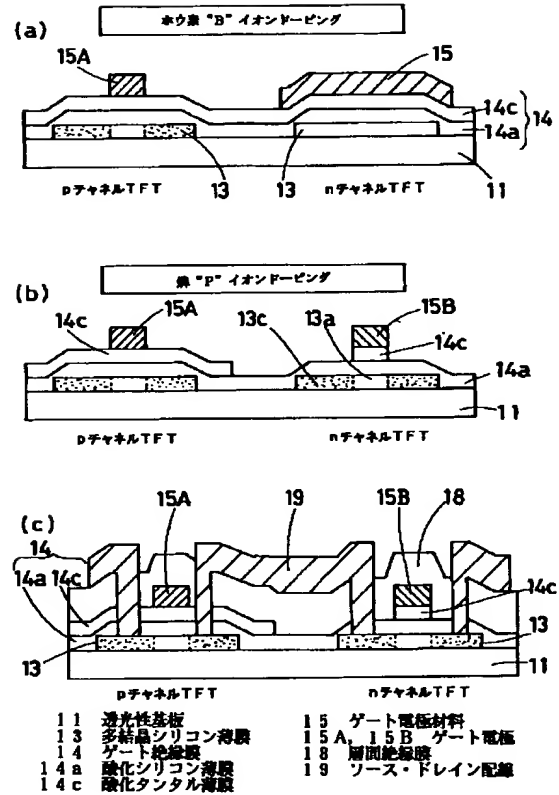
【符号の説明】

- 20 11 透光性基板
- 13 多結晶シリコン薄膜
- 13a チャネル領域
- 13b 低濃度不純物注入領域
- 13c 高濃度不純物注入領域
- 14 ゲート絶縁膜
- 14a 酸化シリコン薄膜
- 14b 窒化シリコン薄膜
- 14c 酸化タンタル薄膜
- 15 ゲート電極材料
- 30 15A, 15B, 15C ゲート電極
- 18 層間絶縁膜
- 19 ソース・ドレイン配線
- 22 表示電極
- 23 保護絶縁膜
- 31 薄膜トランジスタ
- 32 走査側駆動回路
- 33 データ側駆動回路
- 34 画素
- 41 対向側透光性基板
- 40 42 偏光板
- 43 ブラックマトリックス
- 44 カラーフィルタ層
- 45 共通電極
- 46 配向膜
- 47 液晶

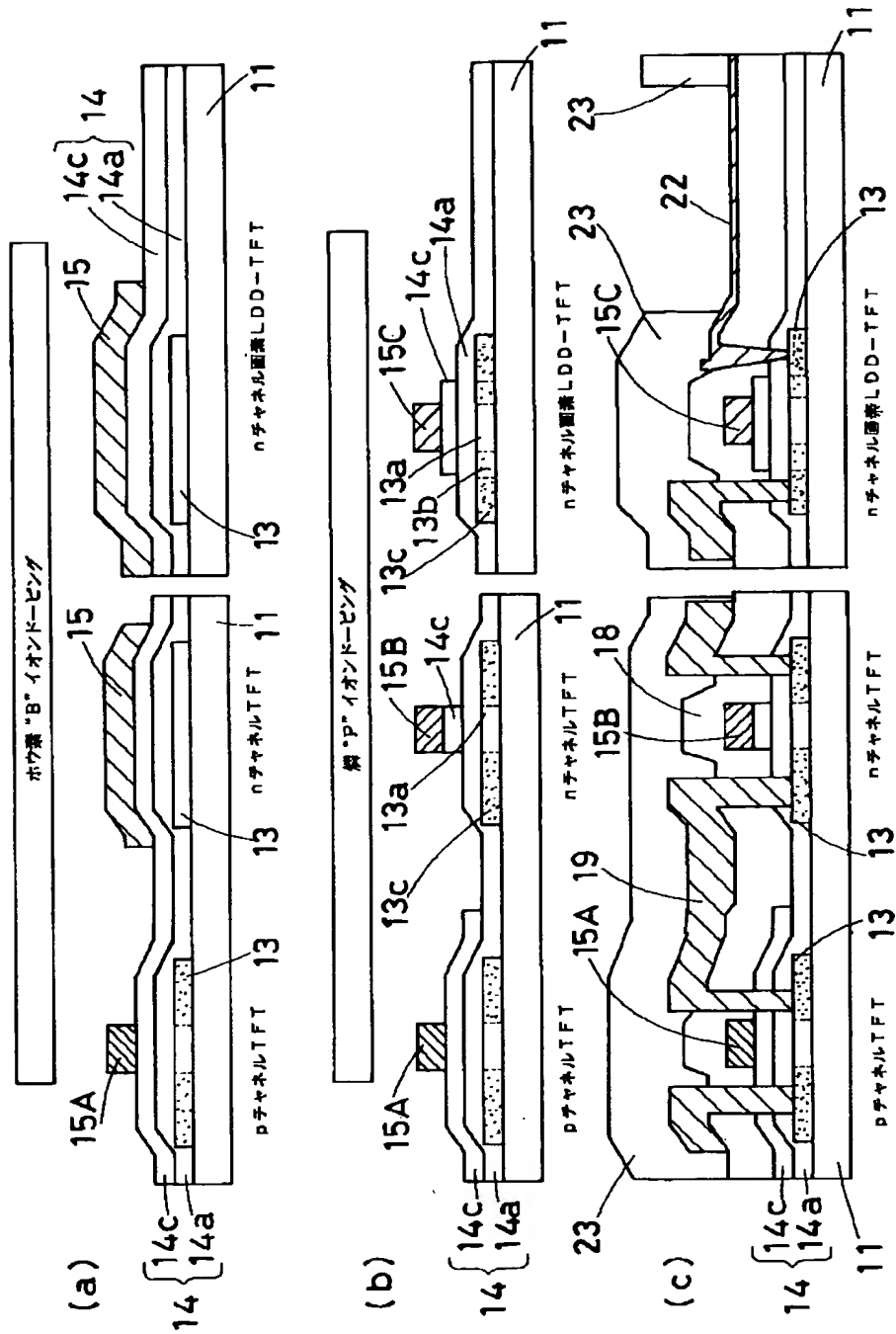
【図1】



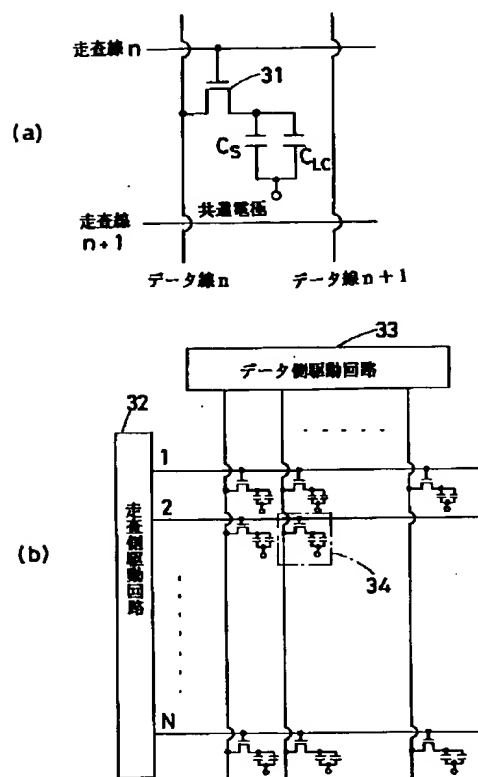
【図2】



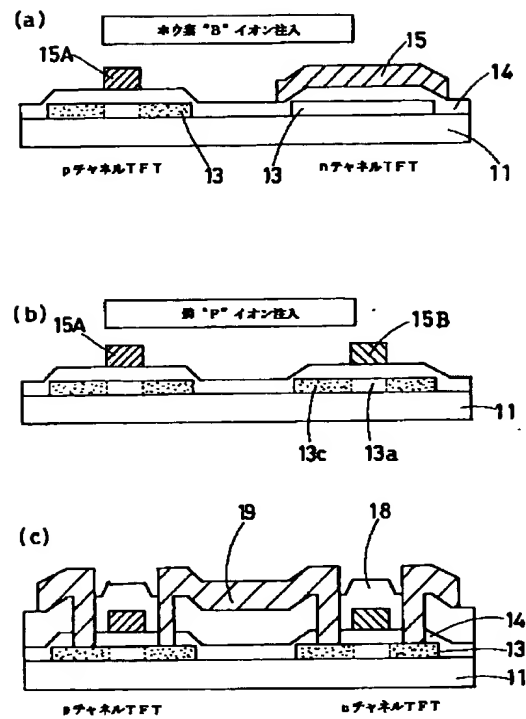
【図3】



【図4】



【図6】



フロントページの続き

(51)Int.Cl.⁶

識別記号 庁内整理番号

FI
H01L 29/78

技術表示箇所

616L
617A

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

JP-9-25436

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device used for a liquid crystal display etc. and its manufacture method, an active matrix array substrate, and the liquid crystal display using it.

[0002]

[Description of the Prior Art] Drawing 6 is the process cross section showing the manufacture method of the conventional semiconductor device. This semiconductor device constitutes the CMOS circuit which consists of p-channel TFT and n channel TFT, and is used for the scan side drive circuit integrated by the active matrix array substrate of a liquid crystal display, or the data side drive circuit.

[0003] First, as shown in drawing 6 (a), the polycrystal silicon thin film 13 used as the barrier layer of p-channel TFT and n channel TFT is formed on the translucency substrates 11, such as a glass substrate, and the configuration of TFT is processed. Then, the gate insulator layer 14 which consists of a silicon-oxide thin film is formed, the gate electrode material 15 is formed on it, and processing fabrication of the gate electrode 15A by the side of p-channel TFT is carried out. The n channel TFT side is covered with the gate electrode material 15 at this time. Then, boron (B) ion is poured in by using gate electrode 15A of p-channel TFT as a mask. the pouring conditions of boron -- 60kV of acceleration voltage, and injection-rate 5×10^{15} ion/cm² it is. Thereby, boron ion is poured only into the source drain field of p-channel TFT.

[0004] Next, as shown in drawing 6 (b), processing fabrication of the gate electrode 15B by the side of n channel TFT is carried out, and phosphorus (P) ion is poured in. the pouring conditions of phosphorus ion -- 80kV of acceleration voltage, and injection-rate 1×10^{15} ion/cm² it is. Consequently, although only phosphorus ion is poured into the source drain field of n channel TFT, both boron ion and phosphorus ion will be poured into the source drain field of p-channel TFT. Here, p-channel operation of p-channel TFT is attained by setting up the injection rate of boron ion more greatly than the injection rate of phosphorus ion.

[0005] Activation of the poured-in impurity is performed after pouring of phosphorus ion, and as shown in drawing 6 (c) after that, the layer insulation film 18 which consists of a silicon oxide is formed. After forming the layer insulation film 18, on the source drain field of the TFT of a p channel and an n channel, opening of the contact hole is carried out, the source drain wiring 19 which consists of aluminum is formed, and the semiconductor device of CMOS composition is completed.

[0006]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional example, in the source drain field which poured in the boron ion (impurity of the 1st conductivity type) of the TFT of a p channel (1st conductivity-type channel) Since the phosphorus ion (impurity of the 2nd conductivity type) poured in to the TFT of an n channel (2nd conductivity-type channel) is poured in so much, In order to secure the property of the TFT of the 1st conductivity-type channel, the impurity of the 2nd conductivity type had to pour in the impurity of the 1st conductivity type about 3 to 5 times, the pouring time of the impurity of the 1st conductivity type became long, and there was a problem that a throughput got worse.

[0007] In case the purpose of this invention forms the TFT of the 1st conductivity-type channel, and the TFT of the 2nd conductivity-type channel in the same substrate, it is offering the semiconductor device which can shorten the pouring time of an impurity and can improve a throughput, and its manufacture method. Moreover, in case other purposes of this invention form the TFT of the 1st conductivity-type channel and the TFT of the 2nd conductivity-type channel which are used for a drive circuit, they are offering the liquid crystal display using the active matrix array substrate and it which can shorten the pouring time of an impurity and can improve a throughput.

[0008]

[Means for Solving the Problem] A semiconductor device according to claim 1 forms the polycrystal silicon thin film used as a source drain field and a channel field on the same substrate. It is the semiconductor device which consists of TFT of the 1st which formed the gate electrode through the gate insulator layer on the polycrystal silicon thin film, and 2nd conductivity-type channels. The gate insulator layer of the TFT of the 1st conductivity-type channel It consists of a gate insulator layer of the multilayer structure which carried out the laminating of the dissimilar material so that a source drain field top might be covered. the gate insulator layer of the TFT of the 2nd conductivity-type channel It consists of a gate insulator layer of the TFT of the 1st conductivity-type channel, and multilayer structure of the same kind. And it is characterized by removing at least the part on the source drain field of the best layer at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel.

[0009] Since at least the part on the source drain field of the best layer is removed at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel according to this composition, In order to form a source drain field in the polycrystal silicon thin film of the TFT of the 2nd conductivity-type channel, when the impurity of the 2nd conductivity type is poured in, Although it pours in so that the high impurity concentration of the source drain field under the removal portion of the gate insulator layer of the best layer may serve as the maximum, and the impurity of the 2nd conductivity type is poured also into the source drain field of the TFT of the 1st conductivity-type channel at this time Since it is poured in through the gate insulator layer of the multilayer structure which is not removed, injection rate decreases. Thus, since the impurity of the 2nd conductivity type poured into the source drain field of the TFT of the 1st conductivity-type channel can be reduced, even if it reduces the injection rate of the 1st impurity for the injection rate of the 1st impurity having been about 3 to 5 times of the 2nd impurity to a double-precision grade conventionally, the property of the TFT of the 1st conductivity-type channel is securable. Therefore, the injection rate of the 1st impurity can be reduced, the pouring time of an impurity can be shortened, and a throughput can be improved.

[0010] Moreover, by making a gate insulator layer into multilayer structure, the margin to a pinhole etc. increases and the yield improves. A semiconductor device according to claim 2 is characterized by the bird clapper in a semiconductor device according to claim 1 from the silicon-oxide thin film which the gate insulator layer formed on the polycrystal silicon thin film, and the silicon-nitride thin film formed on this silicon-oxide thin film.

[0011] Thus, by using the cascade screen of a silicon-oxide thin film and a silicon-nitride thin film for a gate insulator layer, a silicon-nitride thin film has a thin film about 1.5 times the dielectric constant of a silicon oxide, compared with the case where a gate insulator layer is a monolayer of a silicon-oxide thin film, it has little reduction of a gate insulation membrane capacitance, and its influence which it has on the ON state current of TFT decreases.

[0012] A semiconductor device according to claim 3 is characterized by the bird clapper by the gate insulator layer in a semiconductor device according to claim 1 from the silicon-oxide thin film formed on the polycrystal silicon thin film, and the tantalum oxide thin film formed on this silicon-oxide thin film. Thus, by using the cascade screen of a silicon-oxide thin film and a tantalum oxide thin film for a gate insulator layer, a tantalum oxide thin film has a thin film 5 to 6 times the dielectric constant of a silicon oxide, compared with the case where a gate insulator layer is a monolayer of a silicon-oxide thin film, it has little reduction of a gate insulation membrane capacitance, and its influence which it has on the ON state current of TFT decreases.

[0013] Thickness of a silicon-nitride thin film is characterized by a semiconductor device according to claim 4 being 30nm or more 150nm or less in a semiconductor device according to claim 2. This becomes possible to reduce the dose of the low concentration impurity pouring field by impurity pouring of the 2nd conductivity type by 1-3 figures as compared with the dose of a high concentration impurity pouring field.

[0014] Thickness of a tantalum oxide thin film is characterized by a semiconductor device according to claim 5 being 20nm or more 100nm or less in a semiconductor device according to claim 3. This becomes possible to reduce the dose of the low concentration impurity pouring field by impurity pouring of the 2nd conductivity type by 1-3 figures as compared with the dose of a high concentration impurity pouring field.

[0015] Thickness of a silicon-oxide thin film is characterized by a semiconductor device according to claim 6 being 30nm or more 100nm or less in a semiconductor device according to claim 2, 3, 4, or 5. Thereby, the dose of the low concentration impurity pouring field by impurity pouring of the 2nd conductivity type can be reduced by 1-3 figures as compared with the dose of a high concentration impurity pouring field by thickness balance with a silicon-nitride thin film or a tantalum oxide thin film.

[0016] The manufacture method of a semiconductor device according to claim 7 forms the polycrystal silicon thin film used as a source drain field and a channel field on the same substrate. It is the manufacture method of the semiconductor device which consists of TFT of the 1st which formed the gate electrode through the gate insulator layer on the polycrystal silicon thin film, and 2nd conductivity-type channels. So that the polycrystal silicon thin film of the TFT of the 1st and 2nd conductivity-type channels may be covered The process which forms the gate insulator layer of the multilayer structure which carried out the laminating of the dissimilar material, and the process which covers a gate insulator layer top with a gate electrode material, After carrying out pattern formation of the gate electrode of the TFT of the 1st conductivity-type channel from a gate electrode material, the TFT field top of the 2nd conductivity-type channel is in the state covered with the gate electrode material. The process which pours in the impurity of the 1st conductivity type and forms a source drain field in the polycrystal silicon thin film of the TFT of the 1st conductivity-type channel, Pattern formation of the gate electrode of the TFT of the 2nd conductivity-type channel is carried out from a gate electrode material. And after removing at least the part on the source drain field of the best layer at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel The gate insulator layer of the TFT of the 1st conductivity-type channel is in the state which covered the source drain field top with multilayer structure. It is characterized by including the process which pours in the impurity of the 2nd conductivity type and forms a source drain field in the polycrystal silicon thin film of the TFT of the 2nd conductivity-type channel.

[0017] In order to form a source drain field in the polycrystal silicon thin film of the TFT of the 2nd conductivity-type channel according to this manufacture method, when the impurity of the 2nd conductivity type is poured in, Since at least the part on the source drain field of the best layer is removed at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel, Although it is poured in so that the high impurity concentration of the source drain field under this removal portion may serve as the maximum, and the impurity of the 2nd conductivity type is poured also into the source drain field of the TFT of the 1st conductivity-type channel at this time Since it is poured in through the gate insulator layer of multilayer structure without a removal portion, injection rate decreases. Thus, since the impurity of the 2nd conductivity type poured into the

source drain field of the TFT of the 1st conductivity-type channel can be reduced, even if it reduces the injection rate of the 1st impurity for the injection rate of the 1st impurity having been about 3 to 5 times of the 2nd impurity to a double-precision grade conventionally, the property of the TFT of the 1st conductivity-type channel is securable. Therefore, the injection rate of the 1st impurity can be reduced, the pouring time of an impurity can be shortened, and a throughput can be improved.

[0018] The manufacture method of a semiconductor device according to claim 8 forms the polycrystal silicon thin film used as a source drain field and a channel field on the same substrate. It is the manufacture method of the semiconductor device which consists of TFT of the 1st which formed the gate electrode through the gate insulator layer on the polycrystal silicon thin film, and 2nd conductivity-type channels. So that the polycrystal silicon thin film of the TFT of the 1st and 2nd conductivity-type channels may be covered. The process which forms the gate insulator layer of the multilayer structure which carried out the laminating of the dissimilar material, and the process which forms the gate electrode of the TFT of the 1st and 2nd conductivity-type channels on a gate insulator layer. After forming a gate electrode, the TFT field top of the 2nd conductivity-type channel is covered with the mask which consists of the organic substance. Then, the process which pours in the impurity of the 1st conductivity type and forms a source drain field in the polycrystal silicon thin film of the TFT of the 1st conductivity-type channel. After removing the mask which consists of the organic substance and removing at least the part on the source drain field of the best layer at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel. The gate insulator layer of the TFT of the 1st conductivity-type channel is in the state which covered the source drain field top with multilayer structure. It is characterized by including the process which pours in the impurity of the 2nd conductivity type and forms a source drain field in the polycrystal silicon thin film of the TFT of the 2nd conductivity-type channel.

[0019] According to this manufacture method, the same effect as the manufacture method according to claim 7 is acquired. The manufacture method of a semiconductor device according to claim 9 is characterized by the bird clapper by the gate insulator layer in the manufacture method of a semiconductor device according to claim 7 or 8 from the silicon-oxide thin film formed on the polycrystal silicon thin film, and the silicon-nitride thin film formed on this silicon-oxide thin film.

[0020] The manufacture method of a semiconductor device according to claim 10 is characterized by the bird clapper by the gate insulator layer in the manufacture method of a semiconductor device according to claim 7 or 8 from the silicon-oxide thin film formed on the polycrystal silicon thin film, and the tantalum oxide thin film formed on this silicon-oxide thin film. An active matrix array substrate according to claim 11 is an active matrix array substrate which integrated the matrix array which forms a viewing area on the same substrate, and the scan side drive circuit which drives a matrix array and a data side drive circuit, and is characterized by the thing of a scan side and a data side drive circuit for which the semiconductor device according to claim 1 was used in part at least.

[0021] Thus, by using a semiconductor device according to claim 1, the pouring time of an impurity can be shortened and the throughput of an active matrix array substrate can be improved. A liquid crystal display according to claim 12 is characterized by pinching liquid crystal between an active matrix array substrate according to claim 11 and an opposite substrate.

[0022] Thus, the throughput of a liquid crystal display can be improved by using an active matrix array substrate according to claim 11.

[0023]

[Embodiments of the Invention] Hereafter, the gestalt of implementation of this invention is explained using drawing 1 - drawing 5. In addition, with the gestalt of the following operations, boron is used as the impurity of the 1st conductivity type, a p channel is used as the 1st conductivity-type channel, and the impurity of the 2nd conductivity type and an n channel are explained for phosphorus as 2nd conductivity-type channel.

[0024] [Gestalt of the 1st operation] Drawing 1 is the process cross section showing the manufacture method of the semiconductor device in the gestalt of implementation of the 1st of this invention. First, as shown in drawing 1 (a), the polycrystal silicon thin film 13 is formed on the translucency substrates 11, such as a glass substrate. After forming the amorphous silicon thin film of 50nm of thickness by the plasma CVD method and reducing the hydrogen concentration in a film with 450 degrees C and heat treatment for 90 minutes, this polycrystal silicon thin film 13 irradiates excimer laser light, and melting and crystallization of it are done, and it is formed. As the light source of an excimer laser, a XeCl excimer laser with a wavelength of 308nm is used, and it is energy-density 350 mJ/cm². It crystallized. The configuration of TFT is processed after forming the polycrystal silicon thin film 13, 100nm silicon-oxide thin film 14a is formed using a plasma CVD method, and the gate insulator layer 14 which carried out the continuation deposition of the silicon-nitride thin film 14b in 100nm vacuum, and carried out the laminating of the two-layer thin film is formed on it. The gate electrode material 15 of aluminum-9.5%Zr is formed on it after forming the gate insulator layer 14, and processing fabrication of the gate electrode 15A by the side of p-channel TFT is carried out. The n channel TFT side is covered with the gate electrode material 15 at this time.

[0025] Then, boron (B) ion is poured in by using gate electrode 15A of p-channel TFT as a mask. Boron ion is B-2 H6 of 95% of hydrogen dilution ratios. Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate. pouring conditions -- 70kV of acceleration voltage, and injection-rate 2x10¹⁵ ion/cm² it is. Thereby, since it is covered with the gate electrode material 15, boron ion is poured in and a source drain field is formed only in a p-channel TFT side by the n channel TFT side.

[0026] Next, as shown in drawing 1 (b), processing fabrication of the gate electrode 15B is carried out at an n channel TFT side, it leaves 2 micrometers silicon-nitride thin film 14b which is the upper gate insulator layer 14 at a time respectively to the outside of gate electrode 15B greatly, and other fields are removed. Then, in order to form the source drain field of n channel TFT, phosphorus (P) ion is poured in. At this time, it pours in in acceleration voltage from which the phosphorus concentration in the

polycrystal silicon thin film 13 under the field where silicon-nitride thin film 14b of n channel TFT is removed serves as the maximum. the pouring conditions of this phosphorus ion -- 70kV of acceleration voltage, and injection-rate 1×10^{15} ion/cm² it is -- PH3 of 95% of hydrogen dilution ratios Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate.

[0027] By the polycrystal silicon thin film 13 under the field where silicon-nitride thin film 14b remains, by this Since phosphorus ion is poured in through the cascade screen of silicon-nitride thin film 14b and silicon-oxide thin film 14a, 2 or more figures of phosphorus concentration become [be / under / under the field where silicon-nitride thin film 14b is removed / polycrystal silicon thin film 13 / comparing / it] small. by impurity pouring once LDD (Lightly-Doped-Drain) field, i.e., low concentration impurity pouring field, 13b and high concentration impurity pouring field 13c can be formed. In addition, 13a is a channel field which consists of a polycrystal silicon thin film 13 into which the impurity is not poured.

[0028] Activation of the poured-in impurity is performed after pouring in phosphorus ion, and as shown in drawing 1 (c) after that, the layer insulation film 18 which consists of a silicon oxide is formed. After forming the layer insulation film 18, on the source drain field of the TFT of a p channel and an n channel, opening of the contact hole is carried out, the source drain wiring 19 which consists of aluminum is formed, and the semiconductor device of CMOS composition is completed.

[0029] According to this manufacture method, although only phosphorus ion is poured into the source drain field of n channel TFT, both boron ion and phosphorus ion will be poured into the source drain field of p-channel TFT. however, in p-channel TFT Phosphorus ion will be poured into a source drain field through the gate insulator layer 14 which consists of two-layer [of silicon-nitride thin film 14b and silicon-oxide thin film 14a]. Injection rate becomes equivalent to low concentration impurity pouring field 13b of n channel TFT. Since the phosphorus concentration poured into the source drain field of p-channel TFT can be reduced by 2 or more figures compared with the technique shown in the conventional example, As opposed to the injection rate of boron ion having been [the injection rate of phosphorus ion] the need about 3 to 5 times conventionally, in order to secure the property of p-channel TFT It can become possible to decrease the injection rate of boron ion to the double-precision grade of the injection rate of phosphorus ion, the pouring time of boron ion can be cut down about 60%, and the throughput of a manufacturing process can be raised.

[0030] Moreover, since the gate insulator layer 14 is multilayer structure, while the redundancy over a pinhole etc. can improve and being able to improve the manufacture yield sharply, the reliability of TFT can be sharply improved in the proof-pressure row of the gate insulator layer 14. Moreover, the gate insulator layer 14 is constituted from silicon-oxide thin film 14a and silicon-nitride thin film 14b. By setting thickness of silicon-oxide thin film 14a to 30nm or more 100nm or less, and setting thickness of silicon-nitride thin film 14b to 30nm or more 150nm or less The dose of low concentration impurity pouring field 13b can be reduced by 1-3 figures as compared with the dose of high concentration impurity pouring field 13c, and impurity pouring can realize LDD (Lightly-Doped-Drain) structure once.

[0031] In addition, even if it uses a 20nm or more thickness [100nm or less] tantalum oxide thin film and makes it the same instead of silicon-nitride thin film 14b, LDD structure is once realizable with impurity pouring.

[Form of the 2nd operation] Drawing 2 is the process cross section showing the manufacture method of the semiconductor device in the form of implementation of the 2nd of this invention.

[0032] First, as shown in drawing 2 (a), the polycrystal silicon thin film 13 is formed on the translucency substrate 11. The polycrystal silicon thin film 13 is energy-density after forming amorphous silicon thin film of 50nm of thickness by plasma CVD method and reducing hydrogen concentration in film with 450-degree-C and heat treatment for 90 minutes 400 mJ/cm². Excimer laser light is irradiated, melting and crystallization of are done, and it forms. The configuration of TFT is processed after forming the polycrystal silicon thin film 13, 90nm silicon-oxide thin film 14a is formed using a plasma CVD method, 50nm tantalum oxide thin film 14c is deposited on it, and the gate insulator layer 14 is formed. Tantalum oxide thin film 14c is formed by the reactive-sputtering method by carrying out the spatter of the tantalum target by the mixed gas of an argon and oxygen. The gate electrode material 15 is formed on it after forming the gate insulator layer 14 which carried out the laminating of the two-layer thin film, and processing fabrication of the gate electrode 15A by the side of p-channel TFT is carried out. The n channel TFT side is covered with the gate electrode material 15 at this time.

[0033] Then, boron (B) ion is poured in by using gate electrode 15A of p-channel TFT as a mask. Boron ion is B-2 H6 of 95% of hydrogen dilution ratios. Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate. pouring conditions -- 70kV of acceleration voltage, and injection-rate 2×10^{15} ion/cm² it is . Thereby, since it is covered with the gate electrode material 15, boron ion is poured in and a source drain field is formed only in a p-channel TFT side by the n channel TFT side.

[0034] Next, as shown in drawing 2 (b), processing fabrication of the gate electrode 15B is carried out at an n channel TFT side, and tantalum oxide thin film 14c which is the upper gate insulator layer 14 is processed into the same configuration as gate electrode 15B. Then, in order to form the source drain field of n channel TFT, phosphorus (P) ion is poured in. At this time, it pours in in acceleration voltage from which the phosphorus concentration of the source drain field of n channel TFT serves as the maximum. the pouring conditions of this phosphorus ion -- 70kV of acceleration voltage, and injection-rate 1×10^{15} ion/cm² it is -- PH3 of 95% of hydrogen dilution ratios Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate.

[0035] Activation of the poured-in impurity is performed after pouring in phosphorus ion, and as shown in drawing 2 (c) after that, 400nm of layer insulation films 18 which consist of a silicon oxide is formed. After forming the layer insulation film 18, on the source drain field of the TFT of a p channel and an n channel, opening of the contact hole is carried out, the source drain

wiring 19 which consists of aluminum is formed, and the semiconductor device of CMOS composition is completed.

[0036] Although according to this manufacture method only phosphorus ion will be poured into the source drain field of n channel TFT and both boron ion and phosphorus ion will be poured into the source drain field of p-channel TFT like the gestalt of the 1st operation In p-channel TFT, phosphorus ion will be poured into a source drain field through the gate insulator layer 14 which consists of two-layer [of tantalum oxide thin film 14c and silicon-oxide thin film 14a]. Compared with the technique shown in the conventional example, the phosphorus concentration poured into the source drain field of p-channel TFT can be reduced by 2 or more figures. For this reason, in order to secure the property of p-channel TFT, conventionally, to the injection rate of phosphorus ion having been the need about 3 to 5 times, it can become possible to decrease the injection rate of boron ion of the injection rate of boron ion to the double-precision grade of the injection rate of phosphorus ion, it can cut down the pouring time of boron ion about 60%, and can raise the throughput of a manufacturing process.

[0037] Moreover, since the gate insulator layer 14 is multilayer structure, while the redundancy over a pinhole etc. can improve and being able to improve the manufacture yield sharply like the gestalt of the 1st operation, the reliability of TFT can be sharply improved in the proof-pressure row of the gate insulator layer 14. In addition, although the gate insulator layer 14 was made into the cascade screen of the two-layer structure of silicon-oxide thin film 14a and silicon-nitride thin film 14b with the gestalt of the 1st operation and was made into the cascade screen of the two-layer structure of silicon-oxide thin film 14a and tantalum oxide thin film 14c with the gestalt of the 2nd operation, it is good also as a cascade screen of the multilayer structure of three or more layers. For example, what is necessary is to be able to use the multilayer structure which carried out the laminating of a silicon-oxide thin film, a tantalum oxide thin film, and the silicon-nitride thin film as a gate insulator layer, and just to remove at least the part on the source drain field of the best layer at least among the multilayers of the gate insulator layer by the side of n channel TFT at the time of pouring of phosphorus ion.

[0038] In addition, although boron ion is poured in in the state where it covered with the gate electrode material 15 to the n channel TFT side and it was made to carry out processing fabrication of the gate electrode 15B by after that with the gestalt of the above 1st and the 2nd implementation Gate electrode 15B of n channel TFT is formed simultaneous, when forming gate electrode 15A of p-channel TFT. Then, it covers with the mask which consists of the organic substance, such as a resist, so that boron ion may not be poured in only for an n channel TFT side, and boron ion is poured in after that, and you may make it remove after pouring the mask which consists of the organic substance.

[0039] Moreover, although boron was used as the impurity of the 1st conductivity type, the p channel was used as the 1st conductivity-type channel, phosphorus was used as the impurity of the 2nd conductivity type and the n channel was used as the 2nd conductivity-type channel with the gestalt of the above 1st and the 2nd implementation Boron is used as the impurity of the 2nd conductivity type, and a p channel is used as the 2nd conductivity-type channel. for phosphorus the impurity of the 1st conductivity type, and an n channel as 1st conductivity-type channel First, the same effect is acquired, even if it makes it pour in boron ion, after pouring phosphorus ion into the source drain field of n channel TFT and removing a part of upper layer of the gate insulator layer of p-channel TFT after that.

[0040] moreover, although the translucency substrates 11, such as a glass substrate, were used, when write as a premise, it comes out, it is and it uses using this for the drive circuit for liquid crystal displays for things other than a liquid crystal display as a substrate, it is not necessary to limit to the translucency substrate 11 as a substrate Moreover, pouring of boron and phosphorus ion is not limited to the method stated with the gestalt of the above-mentioned implementation, may carry out mass separation of the generated ion, and may carry out acceleration pouring.

[0041] Moreover, if it works as donors, such as arsenic, although phosphorus was introduced into n channel TFT as an impurity, if it works to p-channel TFT as an acceptor besides boron, it is good [it is good anything, and] for it anything.

[Form of the 3rd operation] Drawing 3 is the process cross section showing the manufacture method of the active matrix array substrate for liquid crystal displays in the form of implementation of the 3rd of this invention. This active matrix array substrate is integrating the matrix array and drive circuit which form a viewing area on the same substrate.

[0042] Drawing 4 is an example of the circuitry view of the liquid crystal display using the active matrix array substrate produced from the manufacture method shown in drawing 3, drawing 4 (a) shows the one display pixel, and drawing 4 (b) shows the whole. As shown in drawing 4 (a), it is formed from TFT 31 connected to the scanning line n and data-line n, and image display of the 1 pixel of the liquid crystal capacity CLC is charged and carried out through TFT 31. Auxiliary capacity CS In order to hold the charge charged by the liquid crystal capacity CLC in one frame, it is formed in parallel with the liquid crystal capacity CLC. In drawing 4 (b), 34 is 1 pixel shown in drawing 4 (a), the scanning line is connected to the scan side drive circuit 32, and the data line is connected to the data side drive circuit 33. Each drive circuits 32 and 33 consist of circuit element, such as a shift register which consists of CMOS composition, and a buffer.

[0043] Each left-hand side in drawing 3 (a), (b), and (c) is an example of the manufacturing process cross section of the inverter which is one of the circuit element which forms the drive circuits 32 and 33 in drawing 4, and each right-hand side in drawing 3 (a), (b), and (c) shows an example of the manufacturing process cross section of TFT 31 which drives the pixel 34 in drawing 4. First, as shown in drawing 3 (a), the polycrystal silicon thin film 13 is formed on the translucency substrate 11. The polycrystal silicon thin film 13 is energy-density after forming amorphous silicon thin film of 50nm of thickness by plasma CVD method and reducing hydrogen concentration in film with 450-degree-C and heat treatment for 90 minutes 400 mJ/cm². Excimer laser light is irradiated, melting and crystallization of are done, and it forms. The configuration of TFT is processed after forming the polycrystal silicon thin film 13, 90nm silicon-oxide thin film 14a is formed using a plasma CVD method, 50nm tantalum oxide thin film 14c is deposited on it, and the gate insulator layer 14 is formed. Tantalum oxide thin film 14c is formed by the

reactive-sputtering method by carrying out the sputter of the tantalum target by the mixed gas of an argon and oxygen. The gate electrode material 15 is formed on it after forming the gate insulator layer 14 which carried out the laminating of the two-layer thin film, and processing fabrication of the gate electrode 15A by the side of the p-channel TFT of the drive circuit section is carried out. At this time, the n channel TFT side of the n channel TFT side of the drive circuit section and the pixel section is covered with the gate electrode material 15. Then, boron (B) ion is poured in by using gate electrode 15A of p-channel TFT as a mask. Boron ion is B-2 H6 of 95% of hydrogen dilution ratios. Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate. pouring conditions -- 70kV of acceleration voltage, and injection-rate 2×10^{15} ion/cm² it is . Thereby, since it is covered with the gate electrode material 15, boron ion is poured in and a source drain field is formed only in a p-channel TFT side by the n channel TFT side of the drive circuit section and the pixel section.

[0044] Next, as shown in drawing 3 (b), after carrying out processing fabrication of the gate electrodes 15B and 15C at the n channel TFT side of the drive circuit section and the pixel section, the configuration which removed alternatively tantalum oxide thin film 14c which is the upper gate insulator layer 14, and was shown in drawing 3 (b) is processed. That is, tantalum oxide thin film 14c by the side of the n channel TFT of the drive circuit section processes the same configuration as gate electrode 15B, it leaves 2 micrometers tantalum oxide thin film 14c of the n channel TFT of the pixel section at a time respectively to the outside of gate electrode 15C greatly, and it removes other fields.

[0045] Next, in order to form the source drain field of n channel TFT, phosphorus (P) ion is poured in. At this time, it pours in in acceleration voltage from which the phosphorus concentration in the polycrystal silicon thin film 13 under the field where tantalum oxide thin film 14c of n channel TFT is removed serves as the maximum. the pouring conditions of this phosphorus ion -- 70kV of acceleration voltage, and injection-rate 1×10^{15} ion/cm² it is -- PH3 of 95% of hydrogen dilution ratios Plasma decomposition of the gas is carried out, and it accelerates, without performing the mass separation process of the ion which generated and generated ion, and is pouring into the substrate.

[0046] It becomes a mobility self-adjustment type. thereby -- the n channel TFT of the drive circuit section -- high -- by the n channel TFT of the pixel section on the other hand In the polycrystal silicon thin film 13 under the field where it has left tantalum oxide thin film 14c to the outside of gate electrode 15C, and tantalum oxide thin film 14c remains Since phosphorus ion is poured in through the cascade screen of tantalum oxide thin film 14c and silicon-oxide thin film 14a, 2 or more figures of phosphorus concentration become [be / under / under the field where tantalum oxide thin film 14c is removed / polycrystal silicon thin film 13 / comparing / it] small. by impurity pouring once Being able to form LDD (Lightly-Doped-Drain) field, i.e., low concentration impurity pouring field, 13b and high concentration impurity pouring field 13c, the pixel section serves as small LDD-TFT of the OFF state current. In addition, 13a is a channel field which consists of a polycrystal silicon thin film 13 into which the impurity is not poured. Moreover, although only phosphorus ion is poured into the source drain field of the n channel TFT of the drive circuit section and the pixel section, both boron ion and phosphorus ion will be poured into the source drain field of p-channel TFT. However, in p-channel TFT, phosphorus ion will be poured into a source drain field through the two-layer gate insulator layer 14 of tantalum oxide thin film 14c and silicon-oxide thin film 14a, and the 2 or more figures reduction of the injection rate to the source drain field of the p-channel TFT of phosphorus ion is attained compared with the technique shown in the conventional example. For this reason, in order to secure the property of p-channel TFT, conventionally, to the injection rate of phosphorus ion having been the need about 3 to 5 times, it can become possible to decrease the injection rate of boron ion of the injection rate of boron ion to the double-precision grade of the injection rate of phosphorus ion, it can cut down the pouring time of boron ion about 60%, and can raise the throughput of a manufacturing process.

[0047] Activation of the poured-in impurity is performed after pouring in phosphorus ion, and as shown in drawing 3 (c) after that, 400nm of layer insulation films 18 which consist of a silicon oxide is formed. Opening of the contact hole is carried out after forming the layer insulation film 18 on the source drain field of the TFT of the drive circuit section and the pixel section. The display electrode 22 connected to the drain field of the TFT of the pixel section is formed by the ITO (indium tin oxide) thin film after contact hole opening. The source drain wiring 19 which consists of aluminum is formed after forming the display electrode 22, and the protection insulator layer 23 which consists of a silicon-nitride thin film is formed in the whole surface. After forming the protection insulator layer 23 in the whole surface, the protection insulator layer 23 on the display electrode 22 is removed alternatively, and an active matrix array substrate is completed.

[0048] Thus, the cross section of the liquid crystal display using the completed active matrix array substrate is shown in drawing 5 . The light-filter layer 44 and the black matrix 43 are formed on the opposite side translucency substrate 41, and the common electrode 45 which consists of an ITO thin film on the light-filter layer 44 and the black matrix 43 is formed in the opposite substrate by which opposite arrangement is carried out with an active matrix array substrate. After applying the orientation film 46 inside [each] the active matrix array substrate which carries out opposite arrangement, and an opposite substrate and performing rubbing processing, both substrates are made to rival and liquid crystal 47 is poured in. Finally, the polarizing plate 42 of a couple is stuck on both outsides, and a liquid crystal display is completed.

[0049] According to the gestalt of this operation, the pouring time of the impurity which forms the TFT of CMOS composition can be shortened like the gestalt of the 1st and the 2nd operation, and the throughput of an active matrix array substrate can be improved. Therefore, the throughput of the liquid crystal display using it can be improved.

[0050]

[Effect of the Invention] In order to form a source drain field in the polycrystal silicon thin film of the TFT of the 2nd conductivity-type channel according to this invention, when the impurity of the 2nd conductivity type is poured in, Since at least

the part on the source drain field of the best layer is removed at least among the multilayer structure of the gate insulator layer of the TFT of the 2nd conductivity-type channel, Although it is poured in so that the high impurity concentration of the source drain field under this removal portion may serve as the maximum, and the impurity of the 2nd conductivity type is poured also into the source drain field of the TFT of the 1st conductivity-type channel at this time Since it is poured in through the gate insulator layer of multilayer structure without a removal portion, injection rate decreases. Thus, since the impurity of the 2nd conductivity type poured into the source drain field of the TFT of the 1st conductivity-type channel can be reduced, even if it reduces the injection rate of the 1st impurity to a double-precision grade conventionally to the injection rate of the 2nd impurity having been the need about 3 to 5 times, the property of the TFT of the 1st conductivity-type channel is securable. Therefore, the injection rate of the 1st impurity can be reduced, the pouring time of an impurity can be shortened, and a throughput can be improved.

[0051] Moreover, since a gate insulator layer is multilayer structure, while the redundancy over a pinhole etc. can improve and being able to improve the manufacture yield sharply, the reliability of TFT can be sharply improved in the proof-pressure row of a gate insulator layer.

[Translation done.]